



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 08079758

(43)Date of publication of application: 22.03.1996

(51)Int.Cl.

H04N 7/32

(21)Application number: 06207493

(71)Applicant:

FUJITSU LTD

(22)Date of filing: 31.08.1994

(72)Inventor:

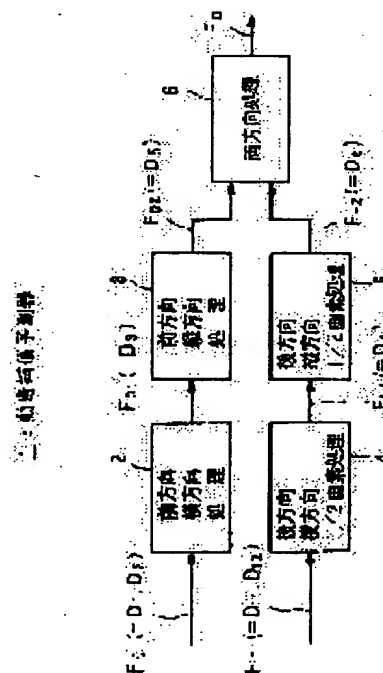
SAKAWAKI YASUHIRO

(54) MOVEMENT COMPENSATION PREDICTION DEVICE

(57)Abstract:

PURPOSE: To provide a movement compensation prediction circuit capable of processings both ISO MPEG1 and ITU-T recommendation H.261 while avoiding the increase of delay and addition elements by making a hardware common as much as possible.

CONSTITUTION: A front direction and horizontal, direction processing circuit 2 is provided with both functions of a front direction and horizontal direction half picture element processing circuit in the MPEG1 and a horizontal direction processing circuit in the H.261 and a front direction and vertical direction processing circuit 3 is provided with both functions of a front direction and vertical direction half picture element processing circuit in the MPEG1 and a vertical direction processing circuit in the H.261. Thus, this device is in conformity with both MPEG1 and H.261, and the increase of a circuit scale is suppressed by sharing the circuit.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-79758

(43) 公開日 平成8年(1996)3月22日

(51) Int.Cl.⁶

H 0 4 N 7/32

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 N 7/137

Z

審査請求 未請求 請求項の数 1 O L (全 31 頁)

(21) 出願番号 特願平6-207493

(22) 出願日 平成6年(1994)8月31日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 坂脇 康弘

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 石川 泰男

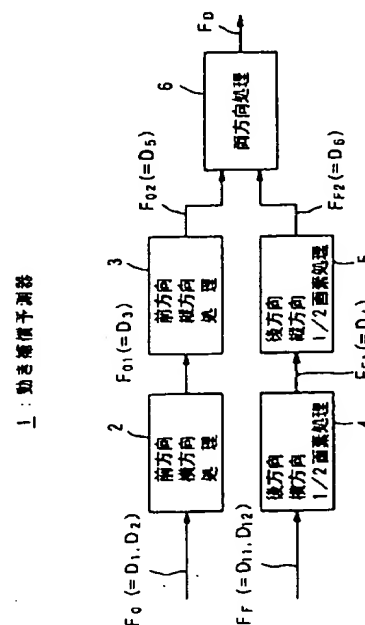
(54) 【発明の名称】 動き補償予測器

(57) 【要約】

【目的】 ハードウェアをできる限り共通化し、遅延、加算要素の増加を避けつつ、ISO MPEG1とITU-T勧告H.261の処理の双方が可能な動き補償予測回路を提供する。

【構成】 前方向横方向処理回路2はMPEG1における前方向横方向半画素処理回路及びH.261における横方向処理回路の機能を併せ持ち、前方向縦方向処理回路3は、MPEG1における前方向縦方向半画素処理回路及びH.261における縦方向処理回路の機能を併せ持っているため、MPEG1及びH.261の両方に準拠していると同時に、回路の共用により回路規模の増大を抑制する。

動き補償予測器の概略構成ブロック図



1

【特許請求の範囲】

【請求項1】 入力画像データに対して時間的に前後両方向の動き補償予測処理あるいは1-2-1型デジタルロウパスフィルタを用いた動き補償予測処理のいずれかを外部からの選択制御信号に基づいて選択的に行うデジタル動画復号器における動き補償予測器であって、

前記選択制御信号により前記前後両方向の動き補償予測処理が選択された場合には、前記入力画像データに基づいて時間的に前方向、かつ、画素配置的に横方向の半画素精度の動き補償予測処理を行い第1処理画像データを出力し、前記選択制御信号により前記1-2-1型デジタルロウパスフィルタを用いた動き補償予測処理が選択された場合には、前記1-2-1型デジタルロウパスフィルタをループ内フィルタとして画素配置的に横方向のループ内フィルタ処理を行い第2処理画像データを出力する前方向横方向処理手段と、

前記第1処理画像データ又は前記第2処理画像データが入力され、前記前後両方向の動き補償予測処理が選択された場合には、前記第1処理画像データに基づいて時間的に前方向、かつ、画素配置的に縦方向の半画素精度の動き補償予測処理を行い第3処理画像データを出力し、前記1-2-1型デジタルロウパスフィルタを用いた動き補償予測処理が選択された場合には、前記第2処理画像データに基づいて前記1-2-1型デジタルロウパスフィルタをループ内フィルタとして画素配置的に縦方向のループ内フィルタ処理を行い第4処理画像データを出力する前方向縦方向処理手段と、

前記前後両方向の動き補償予測処理が選択された場合には、前記入力画像データに基づいて時間的に後方向、かつ、画素配置的に横方向の半画素精度の動き補償予測処理を行い第5処理画像データを出力する後方向横方向半画素処理手段と、

前記前後両方向の動き補償予測処理が選択された場合には、前記第5処理画像データに基づいて時間的に後方向、かつ、画素配置的に縦方向の半画素精度の動き補償予測処理を行い第6処理画像データを出力する後方向縦方向半画素処理手段と、

前記第3処理画像データ及び前記第6処理画像データ又は前記第4処理画像データが入力され、前記前後両方向の動き補償予測処理が選択された場合には、前記第3処理画像データ及び前記第6処理画像データに基づいて時間的に前後両方向の動き補償予測処理を行い第7処理画像データを出力し、前記1-2-1型デジタルロウパスフィルタを用いた動き補償予測処理が選択された場合には、前記第4処理画像データをそのまま出力する両方向処理手段と、を備えたことを特徴とする動き補償予測器。

【発明の詳細な説明】

【0001】

2

【産業上の利用分野】 本発明は、動き補償予測器に係り、特にデジタル動画を復号するデコーダにおける動き補償予測器に関する。

【0002】 一般に動画の符号化の国際標準として、ISO（国際標準化機構）及びIEC（国際電気標準会議）の合同規格であるMPEG1（Moving Picture Experts Group phase 1；ISO/IEC11172）と、ITU-T勧告H.261（以下、H.261とする。）とがよく知られている。

10 【0003】 近年、テレビ電話、テレビ会議、デジタルビデオ等をはじめとする分野で、デジタル動画情報の復元が必要とされており、このような分野ではMPEG1及びH.261の双方に準拠し、かつ、回路規模を小さく抑えた動き補償予測器が望まれている。

【0004】

【従来の技術】

a) MPEG1について

MPEG1は、蓄積型デジタル記憶媒体用のビデオ高能率符号化方式について規定している。

20 【0005】 主な用途としては、CD-ROM、DAT、ハードディスク等のデータ転送速度が約1.5Mbps以下の蓄積型デジタル記憶媒体が、デコーダに直接あるいは通信回線等の伝送媒体を介して接続されている環境を想定している。

【0006】 図28に従来のMPEG1における動画復元装置の概要構成ブロック図を示す。MPEG1における動画復元装置100は、CD（Compact Disk）、MO（Magneto Optical Disk）等の光ディスクや、磁気テープ等の記録媒体（蓄積装置）からビデオ（画像）データ、オーディオ（音声）データ、さらにそれらの付加データ（テキストデータ等）の圧縮データを再生する蓄積装置101と、圧縮データを、ビデオ圧縮データとオーディオ圧縮データと付加圧縮データとに分離するシステム多重化復号装置102と、分離されたビデオ圧縮データを復号し、動画であるビデオデータにする動画情報復号装置103と、同期データの付加等の後処理を行う後処理装置104と、後処理の行われた画像データをデジタル/アナログ（D/A）変換して出力するD/A変換装置105と、を備えて構成されている。

40 【0007】 図29に示すように、動画情報復号装置103は、大別すると、ビデオ圧縮データを、動きベクトルデータ、量子化の際に用いた量子化テーブルを特定するための量子化テーブルデータ符号化に用いたモードを特定するための符号化モードデータ等と、圧縮実画素データと、を分離するビデオ多重化復号装置106と、圧縮実画素データをビデオデータに復号するビデオソース復号装置107とを備えて構成されている。

【0008】 ビデオソース復号装置107は、図30に示すように、実画素データの逆量子化を行う逆量子化回路108と、逆量子化された実画素データの逆DCT

50

3

(Discrete Cosine Transform) 処理を行って差分画素データとして出力する逆DCT回路109と、差分画素データと後述の予測画素データとを加算して、画素データとして出力する加算器110と、所定タイミングにおける画素データをそれぞれ格納する第1フレームメモリ111及び第2フレームメモリ112と、第1フレームメモリ111及び第2フレームメモリ112に格納された画素データに基づいて半画素精度両方向動き補償予測を行って予測画素データを出力する半画素精度両方向動き補償予測回路118と、を備えて構成されている。

【0009】半画素精度両方向動き補償予測回路118は、図31に示すように、時間的に前方向、かつ、画素配置的に横方向の半画素精度の動き補償予測を行う前方向横方向半画素処理回路113と、時間的に前方向、かつ、画素配置的に縦方向の半画素精度の動き補償予測を行う前方向縦方向半画素処理回路114と、時間的に後方向、かつ、画素配置的に横方向の半画素精度の動き補償予測を行う後方向横方向半画素処理回路115と、時間的に後方向、かつ、画素配置的に縦方向の半画素精度の動き補償予測を行う後方向縦方向半画素処理回路116と、時間的に両方向の動き補償予測を行う両方向処理回路117と、を備えて構成されている。

【0010】次に動作を説明する。この場合において、第1フレームメモリ111には逆DCT回路109から供給される現在の差分画素データに対して、時間的に前方向(過去)のフレームのデータが記憶され、第2フレームメモリ112には逆DCT回路109から供給される現在の差分画像データに対して、時間的に後方向(未来)のフレームのデータが記憶されるものとする。

【0011】まず、蓄積装置101は、記録媒体(蓄積装置)からビデオ(画像)データ、オーディオ(音声)データ、さらにそれらの付加データ(テキストデータ等)の圧縮データを再生し、システム多重化復号装置102に出力する。システム多重化復号装置102は、圧縮データを、ビデオ圧縮データとオーディオ圧縮データと付加圧縮データとに分離して、ビデオ圧縮データを動画画像情報復号装置103に出力する。

【0012】これにより動画画像情報復号装置103のビデオ多重化復号装置106は、ビデオ圧縮データを、動きベクトルデータ、量子化の際に用いた量子化テーブルを特定するための量子化テーブルデータ、符号化に用い*

$$\begin{aligned} C &= (A + B + D + E) / 4 \\ &= ((a + b) + (a + c) + (b + d) + (c + d)) / 2 / 4 \\ &= (2 \cdot (a + b + c + d) / 2) / 4 \\ &= (a + b + c + d) / 4 \end{aligned}$$

という式で表すことが出来る。

【0020】次に図33を参照して前後両方向の動き補償予測について説明する。前後両方向動き補償予測は、時間的に前方向の前方向参照画面の画素a'と、時間的に後方向の後方向参照画面の画素a'と同一画素位置の※50

4

*たモードを特定するための符号化モードデータ等と、圧縮実画素データと、を分離して圧縮実画素データをビデオソース復号装置107に出力する。

【0013】ビデオソース復号装置107の逆量子化回路108は、実画素データの逆量子化を行い逆DCT回路109に出力し、逆DCT回路109は、逆量子化された実画素データの逆DCT処理を行って差分画素データとして加算器110に出力する。

【0014】これにより加算器110は、差分画素データと後述の予測画素データとを加算して、画素データとして出力する。これらと並行して、第1フレームメモリ111及び第2フレームメモリ112は所定タイミングにおける画素データをそれぞれ格納し、半画素精度両方向動き補償予測回路118は、この格納された画素データに基づいて半画素精度両方向動き補償予測を行って予測画素データを加算器110に出力する。

【0015】ここで、動き補償予測について詳細に説明する。まず、横方向処理及び縦方向処理について説明する。半画素精度動き補償予測は、9×9画素のブロック単位で行われる。

【0016】以下の説明においては、図32に示すように、元のブロックの隣接する画素を画素a、b、c、dとし、横方向処理で得られる画素を画素A、縦方向処理で得られる画素を画素B、横方向処理により得られた画素A及び縦方向処理により得られた画素Bに基づいて横方向処理及び縦方向処理を行うことにより得られる画素を画素Cとする。

【0017】横方向処理は、横方向に隣接する画素の平均値をとることである。より具体的には、

$$\begin{aligned} A &= (a + b) / 2 \\ E &= (c + d) / 2 \end{aligned}$$

という式で表すことが出来る。

【0018】縦方向処理は、縦方向に隣接する画素の平均値をとることである。より具体的には、

$$\begin{aligned} B &= (a + c) / 2 \\ D &= (b + d) / 2 \end{aligned}$$

という式で表すことが出来る。

【0019】また、画素Cについては、横方向処理で得られた画素A及び画素E並びに縦方向処理で得られた画素B及び画素Dの4つの画素の平均値をとることである。より具体的には、

※画素b' と、の平均値をとることである。

【0021】より具体的には、

$$A' = (a' + b') / 2$$

という式で表すことが出来る。

【0022】これらの結果、出力された画素データに

5

は、同期データ等の付加が後処理装置104により行われ、さらにD/A変換装置105によりD/A変換されて出力されて画像表示が行われることとなる。

b) H. 261について

H. 261は、64k~2Mbpsの転送レートを有する1次群サブレートを用いる動画像通信用の映像符号化方式について規定している。

【0023】主な用途としては、テレビ会議あるいはテレビ電話を想定している。図34に従来のH. 261における動画像復元装置の概要構成ブロック図を示す。

【0024】H. 261における動画像復元装置200は、通信回線等の伝送路を介して入力された受信データを実時間で伝送復号する伝送符号化復号装置201と、受信データを、ビデオ圧縮データとオーディオ圧縮データと付加圧縮データとに分離するシステム多重化復号装置202と、分離されたビデオ圧縮データを復号し、動画像であるビデオデータとする動画像情報復号装置203と、同期データの付加等の後処理を行う後処理装置204と、後処理の行われた画像データをデジタル/アナログ(D/A)変換して出力するD/A変換装置205と、を備えて構成されている。

【0025】図35に示すように、動画像情報復号装置203は、大別すると、ビデオ圧縮データを、動きベクトルデータ、量子化の際に用いた量子化テーブルを特定するための量子化テーブルデータ、符号化に用いたモードを特定するための符号化モードデータ等と、圧縮実画素データと、を分離するビデオ多重化復号装置206と、圧縮実画素データをビデオデータに復号するビデオソース復号装置207とを備えて構成されている。

【0026】ビデオソース復号装置207は、図36に示すように、実画素データの逆量子化を行う逆量子化回路208と、逆量子化された実画素データの逆DCT

(Discrete Cosine Transform) 処理を行って差分画素データとして出力する逆DCT回路209と、差分画素データと後述の予測画素データとを加算して、画素データとして出力する加算器210と、所定タイミングにおける画素データを格納するとともに動きベクトル量に応じて遅延量を可変することが可能なフレームメモリ211と、フレームメモリ211に格納された画素データに基づいて前方向動き補償予測を行って予測画素データを出力する前方向動き補償予測回路212と、前方向動き補償予測回路の差分画素データに対し、フィルタ処理を行う1-2-1型のデジタルロウパスフィルタであるループ内フィルタ213と、を備えて構成されている。

【0027】ループ内フィルタ213は、図37に示すように、横方向処理を行う横方向処理回路214と、縦方向処理を行う縦方向処理回路215と、を備えて構成されている。

【0028】次に動作を説明する。以下の説明においては、フレームメモリ211には逆DCT回路209から

6

供給される現在の差分画素データに対して、時間的に前方向(過去)のフレームのデータが記憶されるものとする。

【0029】まず、伝送符号化復号装置201は、通信回線等の伝送路を介して入力された受信データを実時間で伝送復号し、システム多重化復号装置202に出力する。システム多重化復号装置102は、受信データを、ビデオ圧縮データとオーディオ圧縮データと付加データとに分離して、ビデオ圧縮データを動画像情報復号装置203に出力する。

【0030】これにより動画像情報復号装置203のビデオ多重化復号装置206は、ビデオ圧縮データを、動きベクトルデータ、量子化の際に用いた量子化テーブルを特定するための量子化テーブルデータ、符号化に用いたモードを特定するための符号化モードデータ等と、圧縮実画素データと、を分離して圧縮実画素データをビデオソース復号装置207に出力する。

【0031】ビデオソース復号装置207の逆量子化回路208は、実画素データの逆量子化を行い逆DCT回路209に出力し、逆DCT回路209は、逆量子化された実画素データの逆DCT処理を行って差分画素データとして加算器210に出力する。

【0032】これにより加算器210は、差分画素データと後述の予測画素データとを加算して、画素データとして出力する。これらと並行して、フレームメモリ211は所定タイミングにおける画素データを格納し、前方向動き補償予測回路212は、この格納された画素データに基づいて前方向動き補償予測を行って予測画素データをループ内フィルタ213に出力する。

【0033】ループ内フィルタ213は、横方向処理回路214により横方向処理を行うとともに、縦方向処理回路215により縦方向処理を行って加算器210に対しフィルタ処理後の予測画素データを出力する。

【0034】ここで、ループ内フィルタ処理について詳細に説明する。ループ内フィルタ処理は、8×8画素のブロック単位で、1-2-1型のロウパスフィルタでフィルタ処理を行うものである。1-2-1型のロウパスフィルタとは、横方向処理及び縦方向処理の何れにおいても、着目する画素に対する重みを「2」とし、前後又は上下に隣接する画素に対する重みをそれぞれ「1」とするものである。

【0035】図38は、ループ内フィルタ処理を行う対象ブロックを模式的に示したものであり、各画素はその配置により4種類の画素(図中、それぞれ●、○、◎、□で表す)に分類でき、種類毎に処理が異なっている。

【0036】「●」で表される画素は、元の値がA"であったとすると、そのままの値=A"とする。「○」で表される画素については、横方向処理の対象となり、着目する画素をB"、横方向に隣接する画素をA"、C"とすると、画素B"については重みを「2」とし、画素

7

A"、C"については重みを「1」とし、それらの加算平均をとる。

$$\begin{aligned} O &= ((A'' \times 1) + (B'' \times 2) + (C'' \times 1)) / 4 \\ &= (A'' + 2 \times B'' + C'') / 4 \end{aligned}$$

という式で表すことが出来る。

【0038】同様に「◎」で表される画素については、縦方向処理の対象となり、着目する画素をB"、縦方向に隣接する画素をA"、C"とすると、画素B"につい※

$$\begin{aligned} \odot &= ((A'' \times 1) + (B'' \times 2) + (C'' \times 1)) / 4 \\ &= (A'' + 2 \times B'' + C'') / 4 \end{aligned}$$

という式で表すことが出来る。

【0040】また、「□」で表される画素については、着目する画素をE"、画素E"に隣接する周囲の画素を★

$$\begin{aligned} \square &= ((A'' + 2 \times B'' + C'') + 2 \times (D'' + 2 \times E'' + F'') \\ &\quad + (G'' + 2 \times H'' + I'')) / 16 \end{aligned}$$

という式で表すことが出来る。

【0041】

【発明が解決しようとする課題】ところでMPEG1及びH. 261の双方に対応可能なシステムを単純に構築すると、半画素精度両方向動き補償予測回路及びループ内フィルタの双方をそのまま組込むことになる。

【0042】図39に半画素精度両方向動き補償予測回路及びループ内フィルタを単純に組込む場合の半画素精度両方向動き補償予測回路及びループ内フィルタ部分の概要構成ブロック図を示す。図39において図31あるいは図37と同一の部分には同一の符号を付し、その詳細な説明を省略する。

【0043】この場合には、半画素精度両方向動き補償予測回路及びループ内フィルタを単純に組合わせた構成に加えて、いずれかの出力を選択するための選択回路220が必要となり、回路規模が増大するとともに冗長な構成となるという問題点があった。

【0044】そこで、本発明の目的は、遅延、加算要素をできる限り共通化し、回路規模の増加を避けつつ、MPEG1とH. 261の処理の双方が可能な動き補償予測回路を提供することにある。

【0045】

【課題を解決するための手段】上記課題を解決するため、本発明は、入力画像データに対して時間的に前後両方向の動き補償予測処理あるいは1-2-1型デジタルロウパスフィルタを用いた動き補償予測処理のいずれかを外部からの選択制御信号に基づいて選択的に行うデジタル動画復号器における動き補償予測器であって、前記選択制御信号により前記前後両方向の動き補償予測処理が選択された場合には、前記入力画像データに基づいて時間的に前方向、かつ、画素配置的に横方向の半画素精度の動き補償予測処理を行い第1処理画像データを出力し、前記選択制御信号により前記1-2-1型デジタルロウパスフィルタを用いた動き補償予測処理が選択された場合には、前記1-2-1型デジタルロウパスフィルタを用いた動き補償予測処理を行い第2処理画像データを出力する前方向横方向処理手段と、前記第1処理画像データ又は前記第2処理画像データが入力され、前記前後両方向の動き補償予測処理が選択された場合には、前記第1処理画像データに基づいて時間的に前方向、かつ、画素配置的に縦方向の半画素精度の動き補償予測処理を行い第3処理画像データを出力し、前記1-2-1型デジタルロウパスフィルタを用いた動き補償予測処理が選択された場合には、前記第2処理画像データに基づいて前記1-2-1型デジタルロウパスフィルタをループ内フィルタとして画素配置的に縦方向のループ内フィルタ処理を行い第4処理画像データを出力する前方向縦方向処理手段と、前記前後両方向の動き補償予測処理が選択された場合に、前記入力画像データに基づいて時間的に後方向、かつ、画素配置的に横方向の半画素精度で動き補償予測処理を行い第5処理画像データを出力する後方向横方向半画素処理手段と、前記前後両方向の動き補償予測処理が選択された場合に、前記第5処理画像データに基づいて時間的に後方向、かつ、画素配置的に縦方向の半画素精度で動き補償予測処理を行い第6処理画像データを出力する後方向縦方向半画素処理手段と、前記第3処理画像データ及び前記第6処理画像データ又は前記第4処理画像データが入力され、前記前後両方向の動き補償予測処理が選択された場合には、前記第3処理画像データ及び前記第6処理画像データに基づいて時間的に前後両方向の動き補償予測処理を行い第7処理画像データを出力し、前記1-2-1型デジタルロウパスフィルタを用いた動き補償予測処理が選択された場合には、前記第4処理画像データをそのまま出力する両方向処理手段と、を備えて構成する。

8

*【0037】より具体的には、

※では重みを「2」とし、画素A"、C"については重みを「1」とし、それらの加算平均をとる。

【0039】より具体的には、

★A"、B"、C"、D"、F"、G"、H"、I"とすると、

☆ウパスフィルタをループ内フィルタとして画素配置的に横方向のループ内フィルタ処理を行い第2処理画像データを出力する前方向横方向処理手段と、前記第1処理画像データ又は前記第2処理画像データが入力され、前記前後両方向の動き補償予測処理が選択された場合には、前記第1処理画像データに基づいて時間的に前方向、かつ、画素配置的に縦方向の半画素精度の動き補償予測処理を行い第3処理画像データを出力し、前記1-2-1型デジタルロウパスフィルタを用いた動き補償予測処理が選択された場合には、前記第2処理画像データに基づいて前記1-2-1型デジタルロウパスフィルタをループ内フィルタとして画素配置的に縦方向のループ内フィルタ処理を行い第4処理画像データを出力する前方向縦方向処理手段と、前記前後両方向の動き補償予測処理が選択された場合に、前記入力画像データに基づいて時間的に後方向、かつ、画素配置的に横方向の半画素精度で動き補償予測処理を行い第5処理画像データを出力する後方向横方向半画素処理手段と、前記前後両方向の動き補償予測処理が選択された場合に、前記第5処理画像データに基づいて時間的に後方向、かつ、画素配置的に縦方向の半画素精度で動き補償予測処理を行い第6処理画像データを出力する後方向縦方向半画素処理手段と、前記第3処理画像データ及び前記第6処理画像データ又は前記第4処理画像データが入力され、前記前後両方向の動き補償予測処理が選択された場合には、前記第3処理画像データ及び前記第6処理画像データに基づいて時間的に前後両方向の動き補償予測処理を行い第7処理画像データを出力し、前記1-2-1型デジタルロウパスフィルタを用いた動き補償予測処理が選択された場合には、前記第4処理画像データをそのまま出力する両方向処理手段と、を備えて構成する。

【0046】

【作用】本発明の作用について、選択制御信号により前後両方向の動き補償予測処理が選択された場合と、1-2-1型デジタルロウパスフィルタを用いた動き補償

予測処理が選択された場合とに分けて説明する。

【0047】 1) 前後両方向の動き補償予測処理が選択された場合

前方向横方向処理手段は、選択制御信号により前後両方向の動き補償予測処理が選択された場合には、入力画像データに基づいて時間的に前方向、かつ、画素配置的に横方向の半画素精度の動き補償予測処理を行い第1処理画像データを前方向縦方向処理手段に出力する。

【0048】 前方向縦方向処理手段は、第1処理画像データに基づいて時間的に前方向、かつ、画素配置的に縦方向の半画素精度の動き補償予測処理を行い第3処理画像データを両方向処理手段に出力する。

【0049】 これと並行して後方向横方向半画素処理手段は、入力画像データに基づいて時間的に後方向、かつ、画素配置的に横方向の半画素精度で動き補償予測処理を行い第5処理画像データを後方向縦方向半画素処理手段に出力する。

【0050】 後方向縦方向半画素処理手段は、前記第5処理画像データに基づいて時間的に後方向、かつ、画素配置的に縦方向の半画素精度で動き補償予測処理を行い第6処理画像データを両方向処理手段に出力する。

【0051】 これらの結果、両方向処理手段は、第3処理画像データ及び前記第6処理画像データに基づいて時間的に前後両方向の動き補償予測処理を行い、前後両方向の動き補償予測処理の規格に沿った第7処理画像データを出力する。

【0052】 2) 1-2-1型デジタルロウパスフィルタを用いた動き補償予測処理が選択された場合

前方向横方向処理手段は、選択制御信号により1-2-1型デジタルロウパスフィルタを用いた動き補償予測処理が選択された場合には、1-2-1型デジタルロウパスフィルタをループ内フィルタとして画素配置的に横方向のループ内フィルタ処理を行い第2処理画像データを前方向縦方向処理手段に出力する。

【0053】 前方向縦方向処理手段は、第2処理画像データに基づいて1-2-1型デジタルロウパスフィルタをループ内フィルタとして画素配置的に縦方向のループ内フィルタ処理を行い第4処理画像データを両方向処理手段に出力する。

【0054】 両方向処理手段は、第4処理画像データをそのまま出力する。この結果、1-2-1型デジタルロウパスフィルタを用いて前方向横方向処理及び前方向縦方向処理が行われた第4処理画像データを得ることができる。

【0055】

【実施例】 次に図面を参照して本発明の好適な実施例を説明する。図1に実施例の動き補償予測器の概要構成ブロック図を示す。

【0056】 動き補償予測器1は、現在の差分フレーム画像データに対して前方向（過去）のフレーム画像デー

タF₀に基づいて、時間的に前方向、画素配置的に横方向の処理を行い第1前方向フレーム画像データF₀₁として出力する前方向横方向処理回路2と、第1前方向フレーム画像データF₀₁に基づいて、時間的に前方向、画素配置的に縦方向の処理を行い第2前方向フレーム画像データF₀₂として出力する前方向縦方向処理回路3と、現在の差分フレーム画像データに対して後方向（未来）のフレーム画像データF_Fに基づいて、時間的に後方向であり、画素配置的に横方向、かつ、半画素（1/2画素）の処理を行い第1後方向フレーム画像データF_{F1}を出力する後方向横方向半画素処理回路4と、第1後方向フレーム画像データF_{F1}に基づいて、時間的に後方向であり、画素配置的に縦方向、かつ、半画素（1/2画素）の処理を行い第2後方向フレーム画像データF_{F2}を出力する後方向縦方向半画素処理回路5と、第2前方向フレーム画像データF₀₂及び第2後方向フレーム画像データF_{F2}に基づいて時間的に前後両方向の処理を行い予測フレーム画像データF_Pとして出力する両方向処理回路6と、を備えて構成されている。

【0057】 図2に前方向横方向処理回路2の詳細構成ブロック図を示す。前方横方向処理回路2は、フレーム画像データF₀を構成する第2入力データD₂を2倍して出力する乗算器10と、MPEG1動作モードとH.261動作モードとを切替えるためのモード切替信号により第2入力データD₂あるいは乗算器10により2倍された第2入力データD₂の何れかを選択的に出力する第1選択回路11と、第1ループ内フィルタ制御信号に基づいて、「0」あるいはフレーム画像データF₀を構成する第1入力データD₁の何れかを選択的に出力する第2選択回路12と、半画素処理制御信号に基づいて第1選択回路11の出力あるいは第2選択回路12の出力の何れかを選択的に出力する第3選択回路13と、第2選択回路12の出力と第3選択回路13の出力を加算して出力する第1加算器14と、第1加算器14の出力信号を所定時間遅延して出力する第1画素遅延回路15と、第2ループ内フィルタ制御信号に基づいて第2入力データD₂あるいは第1画素遅延回路15の出力信号の何れかを選択的に出力する第4選択回路16と、第1画素遅延回路15の出力と第4選択回路16の出力を加算する第2加算器17と、第2加算器17の出力信号を所定時間遅延して出力する第2画素遅延回路18と、を備えて構成されている。

【0058】 次にMPEG1とH.261の場合に分けて前方向横方向処理回路2の動作を説明する。

a) MPEG1の場合

まず動作説明に先立ち、MPEG1の場合の入力データフォーマットを図4を参照して説明する。

【0059】 MPEG1の入力データフォーマットは、図4(a)に示すように、9×9画素構成となっており、図4(b)に示すように、二次元空間上、左から

1 1

右、上から下へと順次処理を行う。より具体的には、図4 (a) に示すように、 $A \rightarrow B \rightarrow C \rightarrow \dots \rightarrow I \rightarrow J \rightarrow K \rightarrow \dots \rightarrow Z$ の順序で処理を行うことになる。

【0060】次に具体的動作を図3のタイミングチャートを参照して説明する。まず、時刻 t_0 において、動作モード切替信号(図3 (b) 参照)はMPEG1側であり、第1選択回路11において第2入力データ $D_2 =$ 「B」が選択される。

【0061】一方、第1ループ内フィルタ制御信号は、MPEG1の処理の際には常に第1入力データ D_1 (ループ内フィルタオフ) 側であり、第2選択回路12において第1入力データ $D_1 =$ 「A」が選択される。

【0062】次に半画素処理制御信号(図3 (e) 参照)は、第1選択回路11側であり、第3選択回路13において第1選択回路11の出力である第2入力データ $D_2 =$ 「B」が選択される。

【0063】これらの結果、第1加算器14においては、第1入力データ D_1 と第2入力データ D_2 が加算され、時刻 t_0 における第1加算器14の出力データ①= $A+B$ となる(図3 (f) 参照)。

【0064】そして出力データ①は、第1画素遅延回路15により1クロック分遅延されて時刻 t_1 に出力データ②(図3 (g) 参照)として出力される。このとき、第2ループ内フィルタ制御信号はMPEG1の処理の際には常に第1画素遅延回路15 (ループ内フィルタオフ) 側であり、時刻 t_1 において第4選択回路16により第1画素遅延回路15の出力データである出力データ②が選択され、第2加算器17により出力データ②に加算され、出力データ③= $2 \times (A+B)$ となる(図3 (h) 参照)。

【0065】さらにこの出力データ③は、第2画素遅延回路18により1クロック分遅延されて時刻 t_2 に出力データ④= $2 \times (A+B)$ として出力される。以下、同様にして、第2画素遅延回路18からは、時刻 t_3 、 t_4 、 t_5 、……のタイミングで、出力データ④= $2 \times (B+C)$ 、 $2 \times (C+D)$ 、 $2 \times (D+E)$ 、……のように順次出力されることになる。

【0066】b) H. 261の場合

まず動作説明に先立ち、H. 261の場合の入力データフォーマットを図7を参照して説明する。

【0067】H. 261の入力データフォーマットは、図7 (a) に示すように、 8×8 画素構成となっており、図7 (b) に示すように、二次元空間上、左から右、上から下へと順次処理を行う。より具体的には、図7 (a) に示すように、 $A \rightarrow B \rightarrow C \rightarrow \dots \rightarrow F \rightarrow G \rightarrow H \rightarrow I \rightarrow J \rightarrow \dots \rightarrow Z$ の順序で処理を行うことになる。

【0068】次に具体的動作を図5及び図6のタイミングチャートを参照して説明する。まず、時刻 t_0 において動作モード切替信号(図5 (b) 参照)はH. 261側であり、第1選択回路11において乗算器10の出力

1 2

である $2 \times$ 第2入力データ $D_2 =$ 「 $2 \times A$ 」が選択される。

【0069】一方、時刻 t_0 において第1ループ内フィルタ制御信号(図5 (e) 参照)は、「0」(ループ内フィルタオフ)側であり、第2選択回路12においてデータ「0」が選択される。

【0070】次に半画素処理制御信号は、H. 261の処理の際には、常に第1選択回路11側であり、第3選択回路13において第1選択回路11の出力である2倍の第2入力データ $D_2 =$ 「 $2 \times A$ 」が選択される。

【0071】これらの結果、第1加算器14においては、2倍の第2入力データ D_2 と「0」が加算され、時刻 t_0 における第1加算器14の出力データ①= $2 \times A$ となる(図5 (f) 参照)。

【0072】そして出力データ①は、第1画素遅延回路15により1クロック分遅延されて時刻 t_1 において出力データ②(図5 (g) 参照)として出力される。このとき、第2ループ内フィルタ制御信号(図5 (h) 参照)は、第1画素遅延回路15 (ループ内フィルタオフ) 側であり、第4選択回路16において第1画素遅延回路15の出力データである出力データ②が選択され、第2加算器17により出力データ②に加算され、出力データ③= $2 \times (2 \times A)$ 、すなわち、時刻 t_1 において出力データ③= $4 \times A$ となる(図5 (i) 参照)。

【0073】さらにこの出力データ③は、第2画素遅延回路18により1クロック分遅延されて時刻 t_2 に出力データ④= $4 \times A$ として出力される(図5 (j) 参照)。

【0074】これと同時に時刻 t_2 において、第1選択回路11において乗算器10の出力である $2 \times$ 第2入力データ $D_2 =$ 「 $2 \times B$ 」が選択される。一方、第1ループ内フィルタ制御信号(図5 (e) 参照)は、第1入力データ $D_1 =$ 「A」(ループ内フィルタオン)側であり、第2選択回路12において第1入力データ $D_1 =$ 「A」が選択される。

【0075】半画素処理制御信号は、常に第1選択回路11側であるので、第3選択回路13において第1選択回路11の出力である2倍の第2入力データ $D_2 =$ 「 $2 \times B$ 」が選択される。

【0076】これらの結果、第1加算器14においては、2倍の第2入力データ $D_2 =$ 「 $2 \times B$ 」と第1入力データ $D_1 =$ 「A」が加算され、時刻 t_1 における第1加算器14の出力データ④= $A + 2 \times B$ となる。

【0077】そして出力データ④は、第1画素遅延回路15により1クロック分遅延されて時刻 t_2 において出力データ④として出力される。このとき、第2ループ内フィルタ制御信号は、第2入力データ $D_2 =$ 「C」(ループ内フィルタオン)側であり、第4選択回路16において第2入力データ D_2 「C」が選択され、第2加算器

13

17により出力データ②に加算され、時刻 t_2 において出力データ③=「 $A+2 \times B+C$ 」となる。

【0078】さらにこの出力データ③は、第2画素遅延回路18により1クロック分遅延されて時刻 t_3 に出力データ④=「 $A+2 \times B+C$ 」として出力される。以下、同様にして、第2画素遅延回路18からは、時刻 t_4 、 t_5 、 t_6 、……のタイミングで、出力データ④=「 $B+2 \times C+D$ 」、「 $C+2 \times D+E$ 」、「 $D+2 \times E+F$ 」、……のように順次出力されることになる。

【0079】そして時刻 t_7 において、第2入力データ D_2 =「H」となると、再び第1ループフィルタ制御信号は、「0」（ループ内フィルタオフ）側となり、第2入力データ D_2 =「A」の場合と同様の処理に移行する。

【0080】さらに時刻 t_8 （図6参照）において、第2入力データ D_2 =「I」となると、再び第2ループフィルタ制御信号は、第1画素遅延回路15（ループ内フィルタオフ）側となり時刻 t_9 （図5参照）の場合と同様の処理に移行する。

【0081】より具体的には、時刻 t_8 には、出力データ④として「 $F+2 \times G+H$ 」が出力され、時刻 t_9 には、出力データ④として「 $4 \times H$ 」が出力され、時刻 t_{10} には、出力データ④として「 $4 \times I$ 」が出力される。

【0082】時刻 t_{11} 以降は、出力データ④として順次「 $I+2 \times J+K$ 」、「 $J+2 \times K+L$ 」、「 $K+2 \times L+M$ 」、……のように出力される。図8に後方向横方向半画素処理回路4の詳細構成ブロック図を示す。

【0083】後方向横方向半画素処理回路4は、半画素処理制御信号に基づいて、第1入力データ D_{11} あるいは第2入力データ D_{12} の何れかを選択的に出力する選択回路20と、選択回路20の出力と第1入力データ D_{11} を加算する加算器21と、加算器21の出力信号を所定時間遅延して出力する第1画素遅延回路22と、第1画素遅延回路22の出力を2倍する乗算器23と、乗算器23の出力を所定時間遅延して出力する第2画素遅延回路24と、を備えて構成されている。

【0084】次に後方向横方向処理回路4の動作を説明するが、後方向処理はH.261の場合には存在しないので、MPEG1の場合についてのみ説明する。まず動作説明に先立ち、MPEG1の入力データフォーマットを図10を参照して説明する。

【0085】MPEG1の入力データフォーマットは、図10(a)に示すように、 9×9 画素構成となっており、図10(b)に示すように、二次元空間上、左から右、上から下へと順次処理を行う。より具体的には、図10(a)に示すように、 $A \rightarrow B \rightarrow C \rightarrow \dots \rightarrow I \rightarrow J \rightarrow K \rightarrow \dots \rightarrow Z$ の順序で処理を行うことになる。

【0086】次に具体的動作を図9のタイミングチャートを参照して説明する。時刻 t_0 に半画素処理制御信号がオンになると、選択回路20は第2入力データ D_{12} =

14

「B」を選択し出力する。

【0087】これにより加算器21は第1入力データ D_{11} =「A」と第2入力データ D_{12} =「B」を加算して、時刻 t_0 に出力データ①'=「 $A+B$ 」として第1画素遅延回路22に出力する（図9(e)参照）。

【0088】第1画素遅延回路22は、出力データ①'を所定時間（1クロック相当）遅延して、時刻 t_1 に出力データ②'として乗算器23に出力する（図9(f)参照）。

【0089】乗算器23は、出力データ②'=「 $A+B$ 」を2倍して、時刻 t_1 に出力データ③'=「 $2 \times (A+B)$ 」として第2画素遅延回路24に出力する（図9(g)参照）。

【0090】第2画素遅延回路24は、出力データ③'を所定時間（1クロック相当）遅延し、時刻 t_2 に出力データ④'=「 $2 \times (A+B)$ 」として出力する。以下、同様にして、第2画素遅延回路24からは、時刻 t_3 、 t_4 、 t_5 、……のタイミングで、出力データ④'=「 $2 \times (B+C)$ 」、「 $2 \times (C+D)$ 」、「 $2 \times (D+E)$ 」、……のように順次出力されることになる。

【0091】図11に前方向縦方向処理回路3の詳細構成ブロック図を示す。前方向縦方向処理回路3は、入力データ D_3 を所定時間（1クロック相当）遅延して出力データ①''として出力する第1画素遅延回路30と、結果的に入力データ D_3 を1行分（8クロック相当）遅延して出力データ②''として出力する第1行遅延回路31と、入力データ D_3 を2倍して出力する乗算器32と、MPEG1動作モードとH.261動作モードとを切替えるためのモード切替信号により入力データ D_3 あるいは乗算器10により2倍された入力データ D_3 の何れかを選択的に出力する第1選択回路33と、第1ループ内フィルタ制御信号に基づいて、「0」あるいは出力データ②''の何れかを選択的に出力する第2選択回路34と、半画素処理制御信号に基づいて第1選択回路33の出力あるいは第2選択回路34の出力の何れかを選択的に出力する第3選択回路35と、第2選択回路34の出力と第3選択回路35の出力を加算して出力データ③''として出力する第1加算器36と、第1加算器36の出力信号を所定時間（1クロック相当）遅延して出力データ④''として出力する第2画素遅延回路37と、出力データ④''を1行分（8クロック相当）遅延して出力データ⑤''として出力する第2行遅延回路38と、前述のモード切替信号により出力データ④''あるいは出力データ⑤''の何れかを選択的に出力する第4選択回路39と、第2ループ内フィルタ制御信号に基づいて出力データ①''あるいは第4選択回路39の出力データの何れかを選択的に出力する第5選択回路40と、第4選択回路39の出力データと第5選択回路40の出力データとを加算して出力データ⑥''として出力する第2加算器41と、第2加算器41の出力データを所定時間（1クロック

15

ク相当)遅延して出力データ⑦"として出力する第3画素遅延回路42と、出力データ⑦"を16分の1して出力する除算器43と、を備えて構成されている。次にMPEG1とH.261の場合に分けて前方向縦方向処理回路3の動作を説明する。

【0092】a) MPEG1の場合

まず動作説明に先立ち、MPEG1の場合の入力データフォーマットを図14を参照して説明する。

【0093】MPEG1の入力データフォーマットは、図14(a)に示すように、 8×9 画素構成となっており、図14(b)に示すように、二次元空間上、左から右、上から下へと順次処理を行う。より具体的には、図14(a)に示すように、 $A \rightarrow B \rightarrow C \rightarrow \dots \rightarrow H \rightarrow I \rightarrow J \rightarrow \dots \rightarrow Z$ の順序で処理を行うこととなる。

【0094】次に具体的動作を図12及び図13のタイミングチャートを参照して説明する。まず第1画素遅延回路30は、入力データ D_3 を所定時間(1クロック相当)遅延して出力データ①" (図11参照)として第1行遅延回路31及び第5選択回路40に出力する。

【0095】より具体的には、データの入力は半画素処理制御信号がオンとなる時刻 t_0 (図12参照)から開始するが、実質的に動作を開始するのは、入力データ $D_3 = \text{「I」}$ 、出力データ①" = 「H」、出力データ②" = 「A」のとき、すなわち、時刻 t_1 (図13参照)からである。

【0096】時刻 t_1 になると、第1選択回路33は、入力データ $D_3 = \text{「I」}$ を選択的に出力する。つづいて第3選択回路35は半画素処理制御信号に基づいて入力データ $D_3 = \text{「I」}$ を選択的に第1加算器36に出力する。

【0097】一方、第2選択回路34は、第1ループ内フィルタ制御信号により、出力データ②" = 「A」を選択し第3選択回路35及び第1加算器36に出力する。これらにより第1加算器36は出力データ②" = 「A」及び入力データ $D_3 = \text{「I」}$ を加算し、時刻 t_1 に出力データ③" = 「 $A + I$ 」を第2画素遅延回路37に出力する。

【0098】第2画素遅延回路37は、出力データ③"を1クロック遅延して出力データ④"として時刻 t_2 に第4選択回路39に出力する。このとき第4選択回路39は、モード切替信号により第2画素遅延回路37側であり、出力データ④"を選択的に第5選択回路40及び第2加算器41に出力する。

【0099】第2ループ内フィルタ制御信号により第5選択回路40は第4選択回路39側であり、これにより第2加算器41は、出力データ④"に同一の出力データ④"を加算し、時刻 t_2 に出力データ⑥" = 「 $(A + I) + (A + I) = 2 \times (A + I)$ 」を第3画素遅延回路42に出力する。

【0100】第3画素遅延回路42は、出力データ⑥"

16

を1クロック分遅延して時刻 t_3 に出力データ⑦" = 「 $2 \times (A + I)$ 」として出力する。これにより除算回路43は、出力データ⑦"を16分の1して出力する。

【0101】以下、同様にして、第3画素遅延回路42からは、時刻 t_4 、 t_5 、 t_6 、……のタイミングで、出力データ⑦" = 「 $2 \times (B + J)$ 」、 「 $2 \times (C + K)$ 」、 「 $2 \times (D + L)$ 」、……のように順次出力されることになる。

【0102】b) H.261の場合

10 まず動作説明に先立ち、H.261の場合の入力データフォーマットを図18を参照して説明する。

【0103】H.261の入力データフォーマットは、図18(a)に示すように、 8×8 画素構成となっており、図18(b)に示すように、二次元空間上、左から右、上から下へと順次処理を行う。より具体的には、図18(a)に示すように、 $A \rightarrow B \rightarrow C \rightarrow \dots \rightarrow F \rightarrow G \rightarrow H \rightarrow I \rightarrow J \rightarrow \dots \rightarrow Z$ の順序で処理を行うこととなる。

【0104】次に具体的動作を図15乃至図17のタイミングチャートを参照して説明する。まず第1画素遅延回路30は、時刻 t_0 に入力された入力データ $D_3 = \text{「A」}$ を所定時間(1クロック相当)遅延して時刻 t_1 に出力データ①"として第1行遅延回路31及び第5選択回路40に出力する。

【0105】また、乗算器32は、入力データ $D_3 = \text{「A」}$ を2倍して(=「 $2 \times A$ 」)第1選択回路33に出力する。このとき、第1ループ内フィルタ制御信号はオフであるので、第2選択回路34においては「0」が選択され、第3選択回路35及び第1加算器36に出力される。

30 【0106】次に半画素処理制御信号はオフであるので第1選択回路33の出力が選択され、第1加算器36により2倍の入力データ $D_3 = \text{「} 2 \times A \text{」}$ と「0」とが加算され、時刻 t_0 に出力データ③" = 「 $2 \times A + 0$ 」 = 「 $2 \times A$ 」が第2画素遅延回路37に出力される(図15(g)参照)。

【0107】第2画素遅延回路37は、出力データ③" = 「 $2 \times A$ 」を1クロック分遅延して時刻 t_1 に出力データ④"として第2行遅延回路38及び第4選択回路39に出力する(図15(h)参照)。

40 【0108】以下、同様にして、時刻 t_2 、 t_3 、 t_4 、……のタイミングで、出力データ④" = 「 $2 \times B$ 」、 「 $2 \times C$ 」、 「 $2 \times D$ 」、……のように順次出力されることになる。

【0109】つづいて時刻 t_5 (図16参照)になると、第1ループ内フィルタ制御信号がオンとなり、第2選択回路34は第1行遅延回路31側となり、その出力データ②"を選択的に第3選択回路35及び第1加算器36に出力することになる。

【0110】第1加算器36は、第3選択回路35の出力データ = 「 $2 \times I$ 」と第2選択回路34の出力データ

17

=「A」とを加算し、時刻 t_5 に出力データ③=「 $A+2\times I$ 」を出力する。

【0111】以下、同様にして、時刻 t_6 、 t_7 、 t_8 、……のタイミングで、出力データ③=「 $B+2\times J$ 」、「 $C+2\times K$ 」、「 $D+2\times L$ 」、……のように順次出力されることになる。

【0112】さらに時刻 t_9 （図17参照）になると、第2ループ内フィルタ制御信号がオンとなり、第5選択回路40は第1画素遅延回路30側となり、その出力データ①を選択的に第2加算器41に出力することになる。

【0113】第1加算器36は、第4選択回路39の出力データである出力データ⑤=「 $A+2\times I$ 」と第5選択回路40の出力データである出力データ①=

「Q」とを加算し、時刻 t_9 において出力データ⑥=「 $A+2\times I+Q$ 」を出力する（図17(k)参照）。

【0114】以下、同様にして、時刻 t_{10} 、 t_{11} 、 t_{12} 、……のタイミングで、出力データ⑥=「 $B+2\times J+R$ 」、「 $C+2\times K+S$ 」、「 $D+2\times L+T$ 」、……のように順次出力されることになる。

【0115】図19に後方向縦方向半画素処理回路5の詳細構成ブロック図を示す。後方向縦方向半画素処理回路5は、入力データ D_4 を1行分（8クロック相当）遅延して出力データ①Aとして出力する行遅延回路50と、半画素処理制御信号に基づいて、入力データ D_4 あるいは出力データ①Aの何れかを選択的に出力する選択回路51と、選択回路51の出力と出力データ①Aを加算して出力データ②Aとして出力する加算器52と、出力データ②Aを所定時間（1クロック相当）遅延して出力データ③Aとして出力する第1画素遅延回路53と、出力データ③Aを2倍して出力データ④Aとして出力する乗算器54と、出力データ④Aを所定時間（1クロック相当）遅延して出力データ⑤Aとして出力する第2画素遅延回路55と、出力データ⑤Aを16分の1する除算器56と、を備えて構成されている。

【0116】次に後方向縦方向半画素処理回路5の動作を説明するが、後方向横方向半画素処理の場合と同様に後方向処理はH.261の場合には存在しないので、MPEG1の場合についてのみ説明する。

【0117】まず動作説明に先立ち、MPEG1の入力データフォーマットを図22を参照して説明する。MPEG1の入力データフォーマットは、図22(a)に示すように、8×9画素構成となっており、図22(b)に示すように、二次元空間上、左から右、上から下へと順次処理を行う。より具体的には、図22(a)に示すように、 $A\rightarrow B\rightarrow C\rightarrow\cdots\rightarrow I\rightarrow J\rightarrow K\rightarrow\cdots\rightarrow Z$ の順序で処理を行うことになる。

【0118】次に具体的動作を説明する。図20に示すように、時刻 t_0 に半画素処理制御信号がオンになると、順次入力データ D_4 （=A、B、C、D、……）が

18

入力され、行遅延回路50に入力される。

【0119】そして、図21に示すように、時刻 t_1 になると、行遅延回路50から入力データが順次出力データ①Aとして出力されるようになり、後方向縦方向半画素処理回路5は実質的に動作を開始する。

【0120】時刻 t_1 において、選択回路51は、半画素処理制御信号により入力データ D_4 側であり、選択回路51は、そのときの入力データである入力データ D_4 =「I」を選択し出力する。

【0121】これにより加算器52は入力データ D_4 =「I」と出力データ①A=「A」を加算して時刻 t_1 に出力データ②A=「 $A+I$ 」として第1画素遅延回路53に出力する（図21(e)参照）。

【0122】第1画素遅延回路53は、出力データ②Aを所定時間（1クロック相当）遅延して、時刻 t_2 に出力データ③A=「 $A+I$ 」として乗算器54に出力する。乗算器54は、出力データ③A=「 $A+I$ 」を2倍して、時刻 t_2 に出力データ④A=「 $2\times(A+I)$ 」として第2画素遅延回路55に出力する。

【0123】第2画素遅延回路55は、出力データ④Aを所定時間（1クロック相当）遅延し、時刻 t_3 に出力データ⑤A=「 $2\times(A+I)$ 」として出力する（図21(h)参照）。

【0124】以下、同様にして、第2画素遅延回路24からは、時刻 t_4 、 t_5 、 t_6 、……のタイミングで、出力データ⑤A=「 $2\times(B+J)$ 」、「 $2\times(C+K)$ 」、「 $2\times(D+L)$ 」、……のように順次出力されることになる。

【0125】そして除算器56は出力データ⑤Aを16分の1に除算して出力する。図23に両方向処理回路6の詳細構成ブロック図を示す。両方向処理回路6は、前／後方向選択制御信号により第1入力データ D_5 あるいは第2入力データ D_6 の何れかを出力データ①Bとして選択的に出力する第1選択回路60と、出力データ①Bを2倍して出力する乗算器61と、第1入力データ D_5 と第2入力データ D_6 を加算して出力データ②Bとして出力する加算器62と、両方向処理制御信号に基づいて加算器61の出力データあるいは出力データ②Bの何れかを選択的に出力データ③Bとして出力する第2選択回路63と、出力データ③Bを所定時間（1クロック相当）遅延して出力データ④Bとして出力する画素遅延回路64と、出力データ④Bを2分の1して出力する除算器65と、を備えて構成されている。

【0126】次にMPEG1とH.261の場合に分けて両方向処理回路6の動作を説明する。

a) MPEG1の場合

まず動作説明に先立ち、MPEG1の場合の入力データフォーマットを図25を参照して説明する。

【0127】MPEG1の処理を行う場合の前方向縦方向処理回路3からの入力データフォーマットは、図25

19

(a) に示すように、 8×8 画素構成となっており、図25(b)に示すように、二次元空間上、左から右、上から下へと順次処理を行う。より具体的には、図25(a)に示すように、 $A \rightarrow B \rightarrow C \rightarrow \dots \rightarrow I \rightarrow J \rightarrow K \rightarrow \dots \rightarrow Z$ の順序でデータが入力されることになる。

【0128】また、MPEG1の処理を行う場合の後方向縦方向半画素処理回路5からの入力データフォーマットは、図25(c)に示すように、 8×8 画素構成となっており、図25(d)に示すように、二次元空間上、左から右、上から下へと順次処理を行う。より具体的には、図25(c)に示すように、 $a \rightarrow b \rightarrow c \rightarrow \dots \rightarrow i \rightarrow j \rightarrow k \rightarrow \dots \rightarrow z$ の順序でデータが入力されることになる。

【0129】次に具体的動作図24のタイミングチャートを参照して説明する。まず時刻 t_0 に第1入力データ $D_s = 「A」$ 及び第2入力データ $D_e = 「a」$ が入力されると、加算器62は、第1入力データ $D_s = 「A」$ 及び第2入力データ $D_e = 「a」$ を加算し、出力データ $\textcircled{2}B = 「A+a」$ として第2選択回路63に出力する(図24(d)参照)。

【0130】MPEG1の処理を行う場合には、両方向処理制御信号は加算器62側であり、第2選択回路63において出力データ $\textcircled{2}B = 「A+a」$ が選択され、時刻 t_0 に出力データ $\textcircled{3}B = 「A+a」$ として画素遅延回路64に出力される(図24(f)参照)。

【0131】そして出力データ $\textcircled{3}B$ は、画素遅延回路64により1クロック分遅延されて時刻 t_1 に出力データ $\textcircled{4}B = 「A+a」$ として出力される(図24(g)参照)。以下、同様にして、画素遅延回路64からは、時刻 t_2 、 t_3 、 t_4 、……のタイミングで、出力データ $\textcircled{4}B$ 「 $B+b$ 」、「 $C+c$ 」、「 $D+d$ 」、……のように順次出力されることになる。

【0132】そして、画素遅延回路64から出力された出力データ $\textcircled{4}B$ は、除算器65により2分の1されて出力されることとなる。これらの結果、両方向処理回路6からは、MPEG1に準拠したフォーマットを有する予測フレーム画像データ F_0 が出力されることとなる。

【0133】b) H. 261の場合

まず動作説明に先立ち、H. 261の場合の入力データフォーマットを図27を参照して説明する。

【0134】H. 261の入力データフォーマットは、図27(a)に示すように、 8×8 画素構成となっており、図27(b)に示すように、二次元空間上、左から右、上から下へと順次処理を行う。より具体的には、図27(a)に示すように、 $A \rightarrow B \rightarrow C \rightarrow \dots \rightarrow F \rightarrow G \rightarrow H \rightarrow I \rightarrow J \rightarrow \dots \rightarrow Z$ の順序で処理を行うことになる。

【0135】次に具体的動作を図26のタイミングチャートを参照して説明する。まず、時刻 t_0 において前/後方向選択制御信号は、「前方向」を選択しており、第1選択回路60において第1入力データ $D_s = 「A」$ が

20

選択される。

【0136】一方、両方向処理制御信号は、乗算器61(両方向処理オフ)側であり、第2選択回路63において乗算器61の出力データ(=第1入力データ $D_s \times 2$)が選択される。

【0137】この結果、時刻 t_0 において第2選択回路63から画素遅延回路64に出力される出力データは出力データ $\textcircled{3}B = 「2 \times A」$ となる(図26(f)参照)。そして出力データ $\textcircled{3}B$ は、第1画素遅延回路15により1クロック分遅延され時刻 t_1 において出力データ $\textcircled{4}B = 「2 \times A」$ として出力される(図26(g)参照)。

【0138】以下、同様にして、画素遅延回路64からは、時刻 t_2 、 t_3 、 t_4 、……のタイミングで、出力データ $\textcircled{4}B = 「2 \times B」$ 、「 $2 \times C$ 」、「 $2 \times D$ 」、……のように順次出力されることになる。

【0139】そして、画素遅延回路64から出力された出力データ $\textcircled{4}B$ は、除算器65により2分の1されて出力されることとなる。これらの結果、両方向処理回路6からは、H. 261に準拠したフォーマットを有する予測フレーム画像データ F_0 が出力されることとなる。

【0140】以上の説明のように本実施例によれば、前方向横方向処理回路2はMPEG1における前方向横方向半画素処理回路及びH. 261における横方向処理回路の機能を併せ持ち、前方向縦方向処理回路3は、MPEG1における前方向縦方向半画素処理回路及びH. 261における縦方向処理回路の機能を併せ持っているもので、MPEG1及びH. 261の両方に準拠しているとともに、回路の共用により回路規模の増大を抑制することができる。

【0141】より具体的には、図39の従来例の場合、およそ15000トランジスタ程度必要であったが、図1の実施例の構成の場合、およそ6500トランジスタ程度で構成でき、50[%]強の回路規模削減が可能である。

【0142】

【発明の効果】本発明によれば、前方向横方向処理手段は前後両方向動き補償予測処理における前方向横方向半画素処理の機能及び1-2-1型デジタルロウパスフィルタを用いた動き補償予測処理における横方向処理の機能を併せ持ち、前方向縦方向処理手段は、前後両方向動き補償予測処理における前方向縦方向半画素処理機能及び1-2-1型デジタルロウパスフィルタを用いた動き補償予測処理における縦方向処理の機能を併せ持っているもので、前後両方向動き補償予測処理及び1-2-1型デジタルロウパスフィルタを用いた動き補償予測処理の双方に準拠しているとともに、回路の主要部の共用をすることができ、回路規模の増大を抑制することができる。

【図面の簡単な説明】

50

2 1

【図1】動き補償予測器の概要構成ブロック図である。
 【図2】前方向横方向処理回路の詳細構成ブロック図である。
 【図3】前方向横方向処理回路のタイミングチャート(MPEG1時)である。
 【図4】前方向横方向処理回路の入力データフォーマット(MPEG1時)である。
 【図5】前方向横方向処理回路のタイミングチャート(H.261時)【その1】である。
 【図6】前方向横方向処理回路のタイミングチャート(H.261時)【その2】である。
 【図7】前方向横方向処理回路の入力データフォーマット(H.261時)である。
 【図8】後方向横方向半画素処理回路の詳細構成ブロック図である。
 【図9】後方向横方向半画素処理回路のタイミングチャートである。
 【図10】後方向横方向半画素処理回路の入力データフォーマット図である。
 【図11】前方向縦方向処理回路の詳細構成ブロック図である。
 【図12】前方向縦方向処理回路のタイミングチャート(MPEG1時)【その1】である。
 【図13】前方向縦方向処理回路のタイミングチャート(MPEG1時)【その2】である。
 【図14】前方向縦方向処理回路の入力データフォーマット(MPEG1時)である。
 【図15】前方向縦方向処理回路のタイミングチャート(H.261時)【その1】である。
 【図16】前方向縦方向処理回路のタイミングチャート(H.261時)【その2】である。
 【図17】前方向縦方向処理回路のタイミングチャート(H.261時)【その3】である。
 【図18】前方向縦方向処理回路の入力データフォーマット(H.261時)である。
 【図19】後方向縦方向半画素処理回路の詳細構成ブロック図である。
 【図20】後方向横方向半画素処理回路のタイミングチャート【その1】である。
 【図21】後方向横方向半画素処理回路のタイミングチャート【その2】である。
 【図22】後方向横方向半画素処理回路の入力データフォーマットである。
 【図23】両方向処理回路の詳細構成ブロック図である。
 【図24】両方向処理回路のタイミングチャート(MPEG1)である。
 【図25】両方向処理回路の入力データフォーマット(MPEG1)である。
 【図26】両方向処理回路のタイミングチャート(H.

2 2

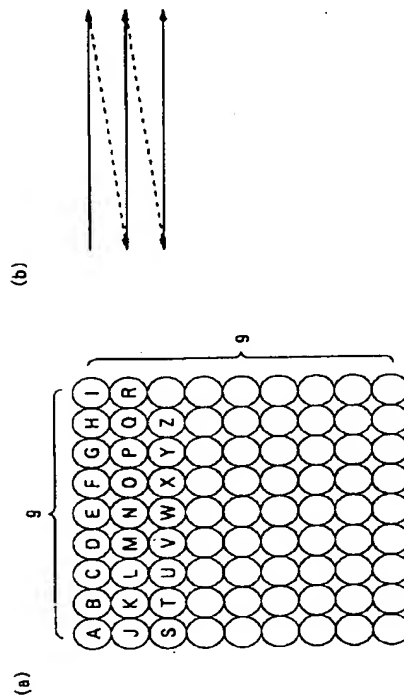
261)である
 【図27】両方向処理回路の入力データフォーマット(H.261)である。
 【図28】従来の動画復元装置(MPEG1)の概要構成ブロック図である。
 【図29】動画情報復号装置(MPEG1)の概要構成ブロック図である。
 【図30】ビデオソース復号装置の詳細構成ブロック図である。
 【図31】半画素精度両方向動き補償予測回路の詳細構成ブロック図である。
 【図32】横方向処理及び縦方向処理(MPEG1)の説明図である。
 【図33】前後両方向動き補償予測(MPEG1)の説明図である。
 【図34】動画復元装置(H.261)の詳細構成ブロック図である。
 【図35】動画情報復号装置(H.261)の概要構成ブロック図である。
 【図36】ビデオソース復号装置(H.261)の詳細構成ブロック図である。
 【図37】ループ内フィルタの概要構成ブロック図である。
 【図38】ループ内フィルタ処理の説明図である。
 【図39】MPEG1及びH.261準拠システムの説明図である。
 【符号の説明】
 1…動き補償予測器
 2…前方向横方向処理回路
 3…前方向縦方向処理回路
 4…後方向横方向半画素処理回路
 5…後方向縦方向半画素処理回路
 6…両方向処理回路
 10…乗算器
 11…第1選択回路
 12…第2選択回路
 13…第3選択回路
 14…第1加算器
 15…第1画素遅延回路
 16…第4選択回路
 17…第2加算器
 18…第2画素遅延回路
 20…選択回路
 21…加算器
 22…第1画素遅延回路
 23…乗算器
 24…第2画素遅延回路
 30…第1画素遅延回路
 31…第1行遅延回路
 32…乗算器

24

- 60…第1選択回路
61…乗算器
62…加算器
63…第2選択回路
64…画素遅延回路
65…除算器
Fo…前方向フレーム画像データ
Fo1…第1前方向フレーム画像データ
Fo2…第2前方向フレーム画像データ
10 Ff…後方向フレーム画像データ
Ff1…第1後方向フレーム画像データ
Ff2…第2後方向フレーム画像データ
Fd…差分フレーム画像データ
D1…第1入力データ
D2…第2入力データ
D11…第1入力データ
D12…第2入力データ

【図4】

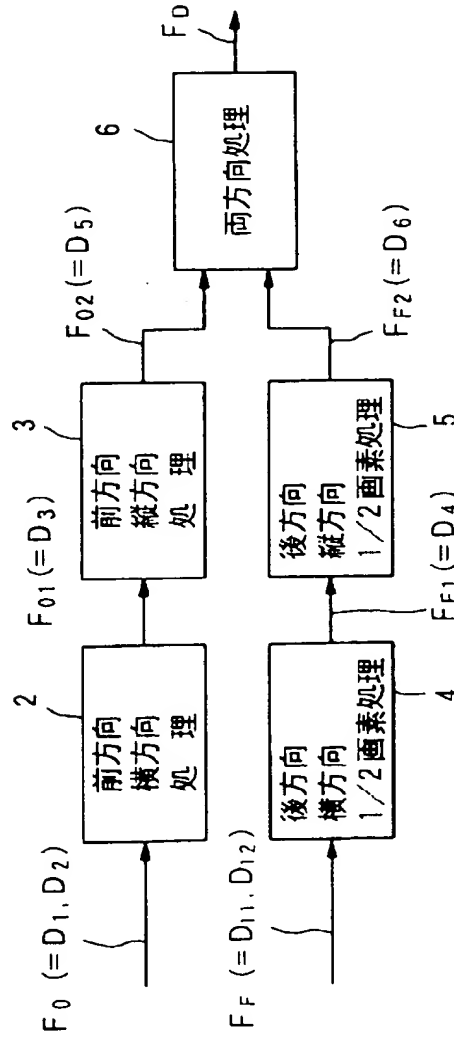
前方方向横方向処理回路の入力データフォーマット (MPEG1)



【図1】

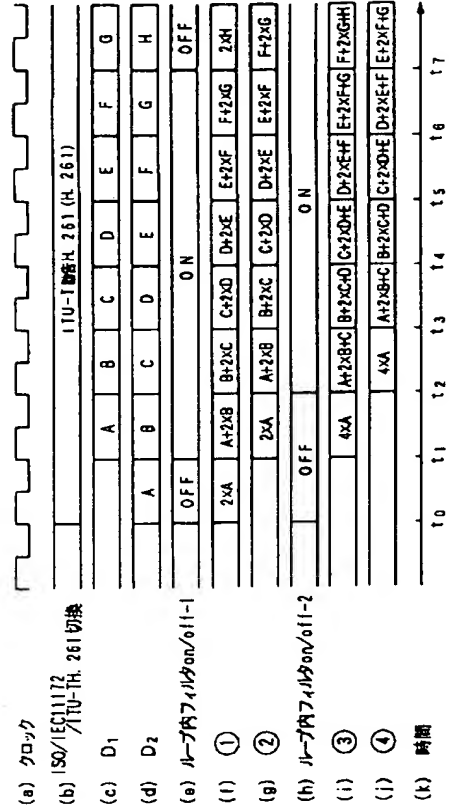
動き補償予測器の概略構成ブロック図

1: 動き補償予測器



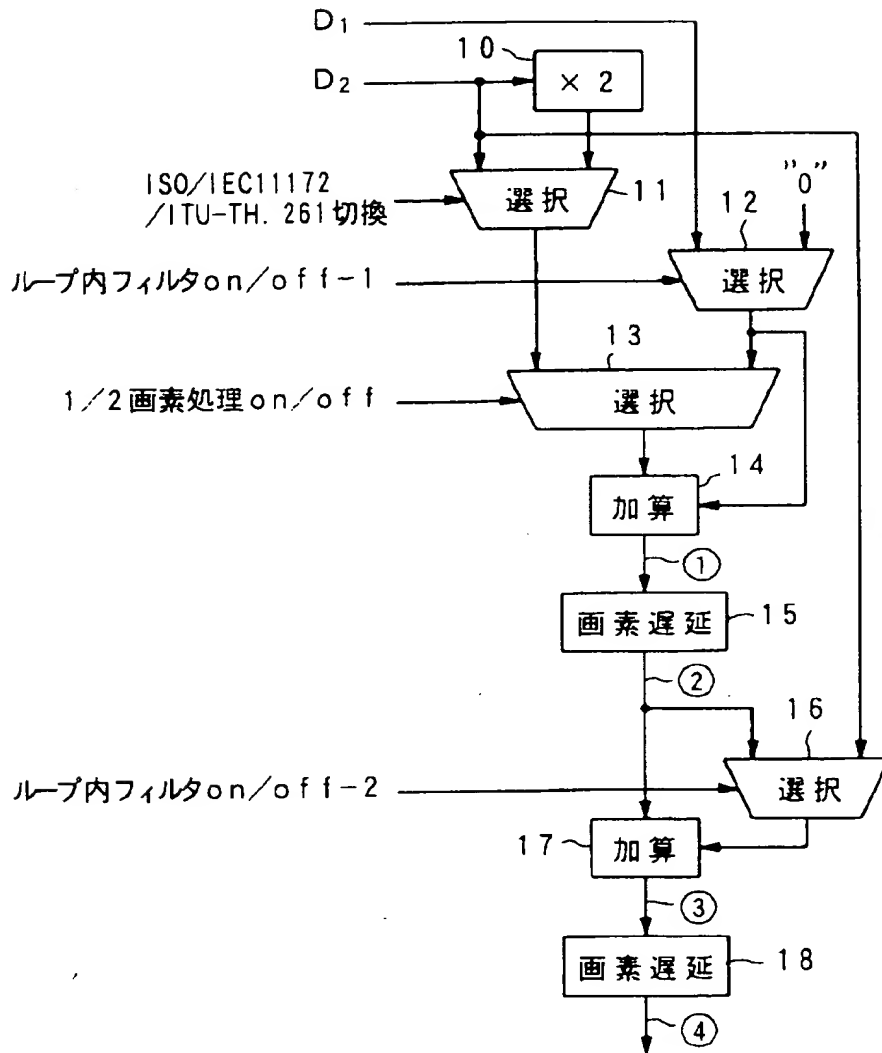
【図5】

前方向横方向処理回路のタイミングチャート (H 261) その1



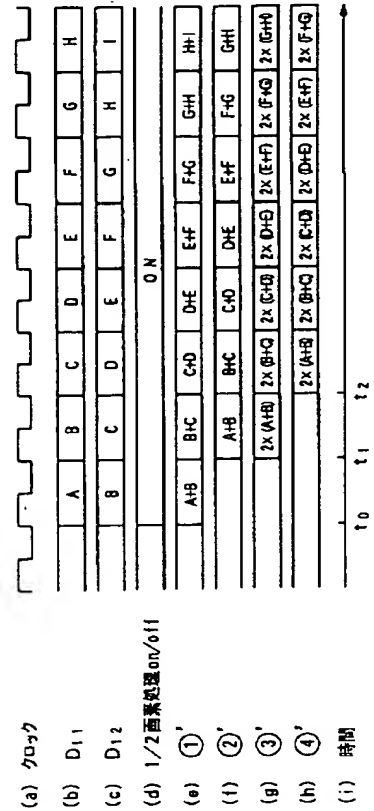
【図2】

前方向横方向処理回路の詳細構成ブロック図



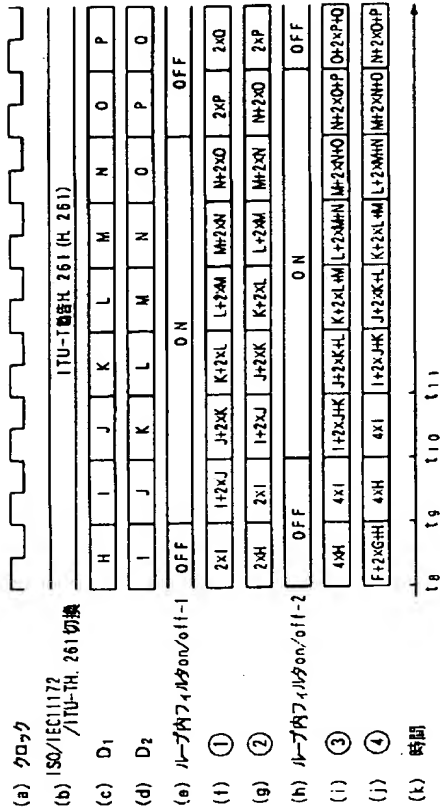
【図9】

後方向横方向半画素処理回路のタイミングチャート



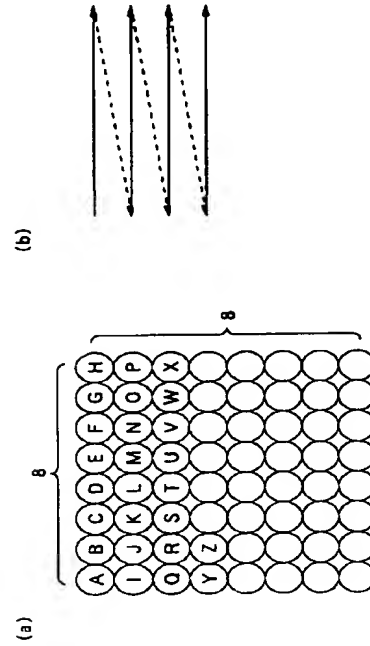
【図6】

前方向横方向処理回路のタイミングチャート (H. 261) その2



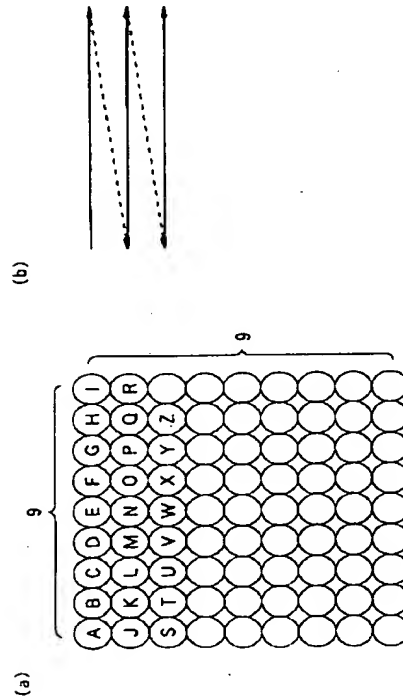
【図7】

前方向横方向処理回路の入力データフォーマット (H. 261)



【図10】

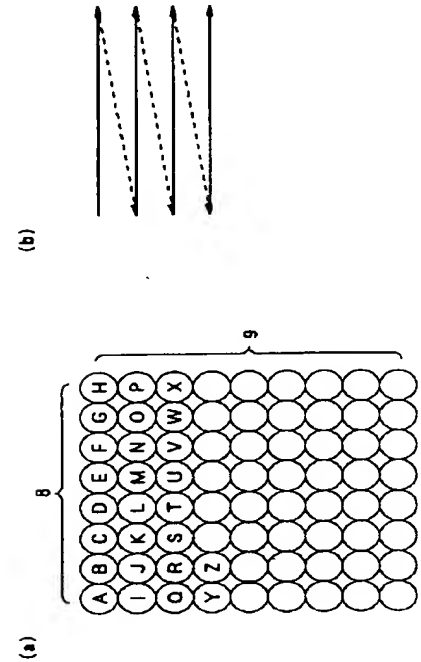
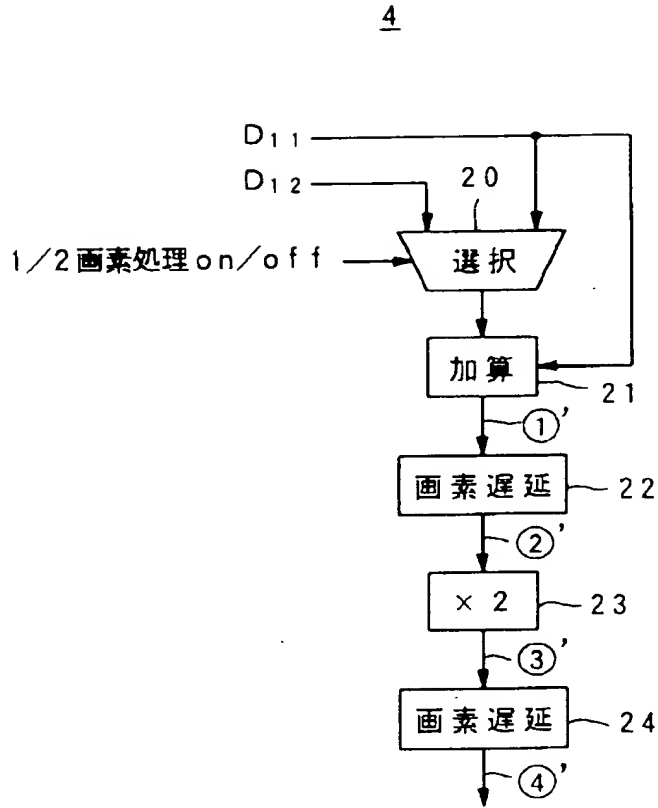
後方向横方向半画素処理回路入力データフォーマット



【図8】

【図22】

後方向横方向半画素処理回路の詳細構成ブロック図 後方向縦方向半画素処理回路の入力データフォーマット



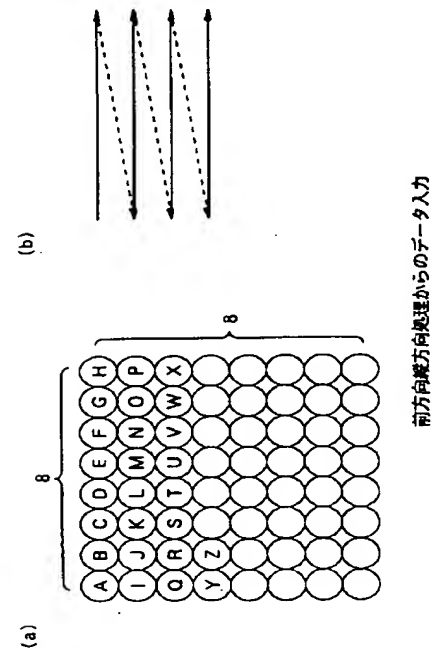
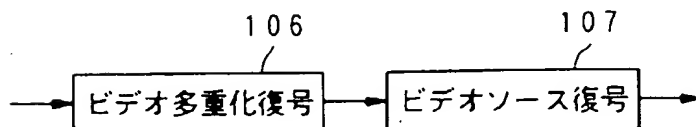
【図27】

両方向処理回路の入力データフォーマット (H. 261)

【図29】

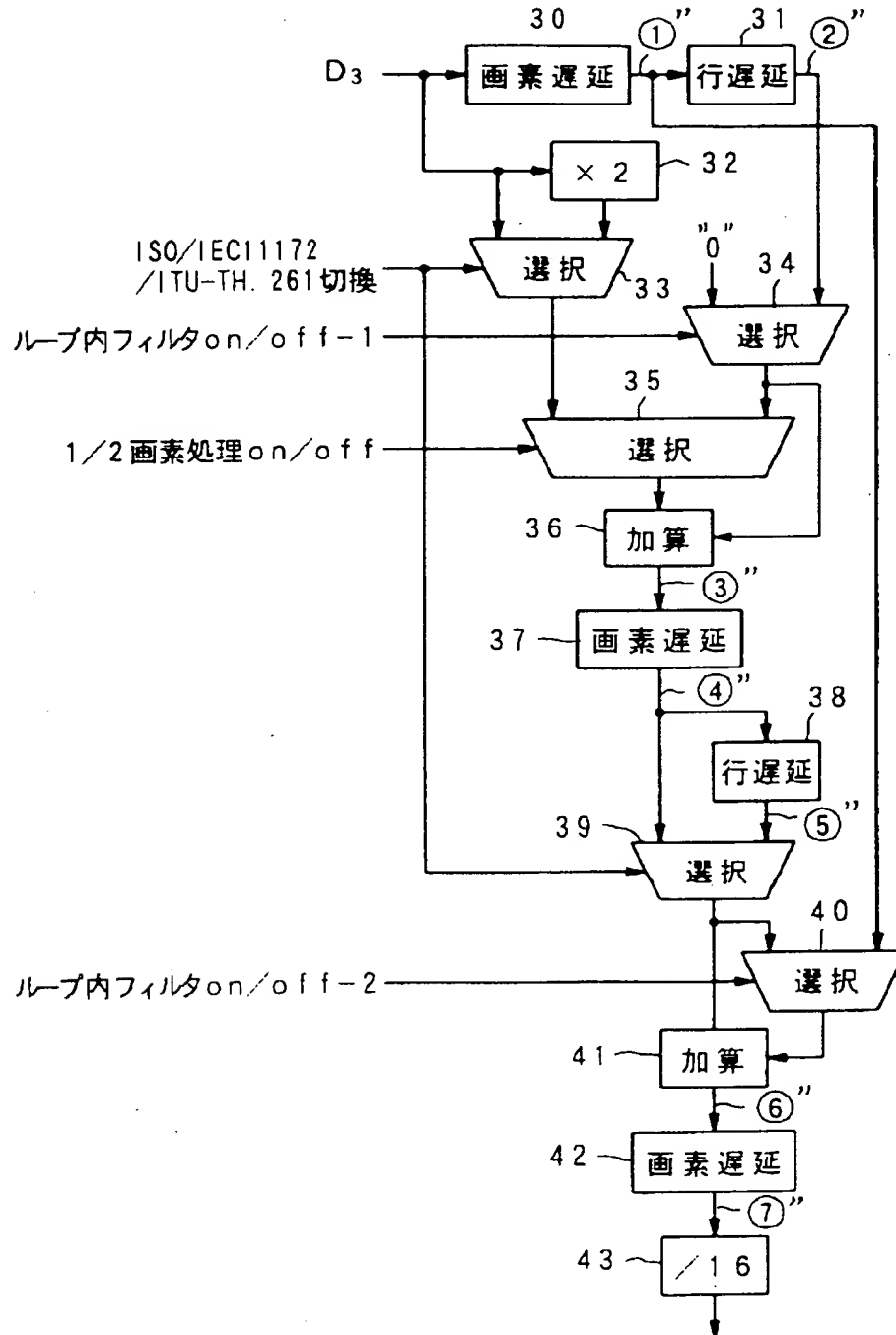
動画像情報復号装置 (MPEG1) の概要構成ブロック図

103 : 動画像情報復号装置



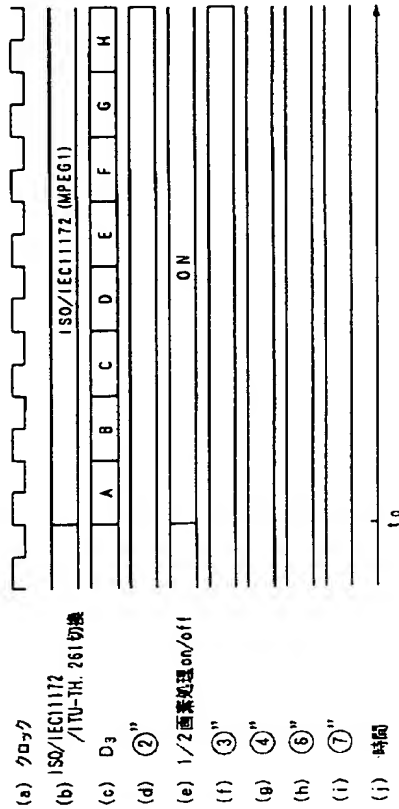
【図11】

前方向縦方向処理回路の詳細構成ブロック図



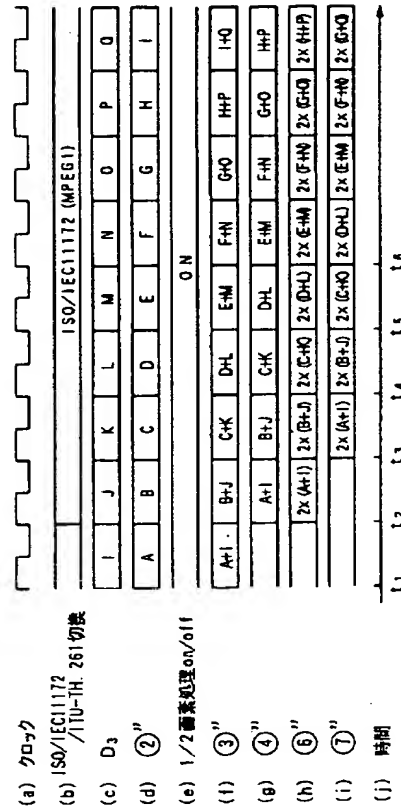
【図12】

前方向縦方向処理回路のタイミングチャート (MPEG1) その1



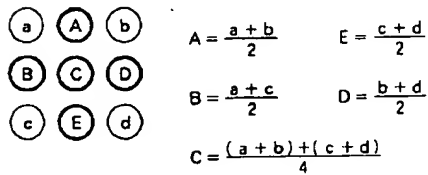
【図13】

前方向縦方向処理回路のタイミングチャート (MPEG1) その2



【図32】

横方向処理及び縦方向処理 (MPEG1) の説明図

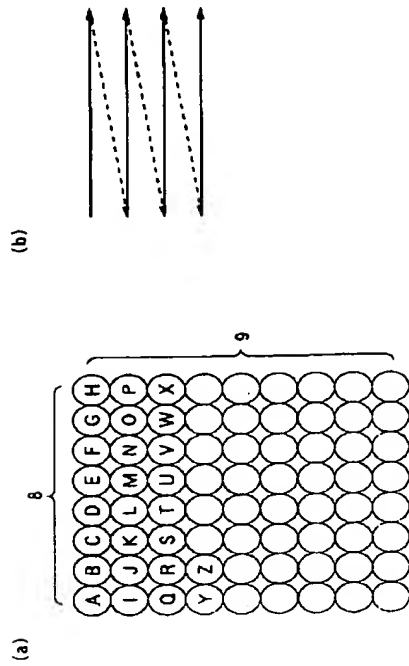


○ ... 実画面

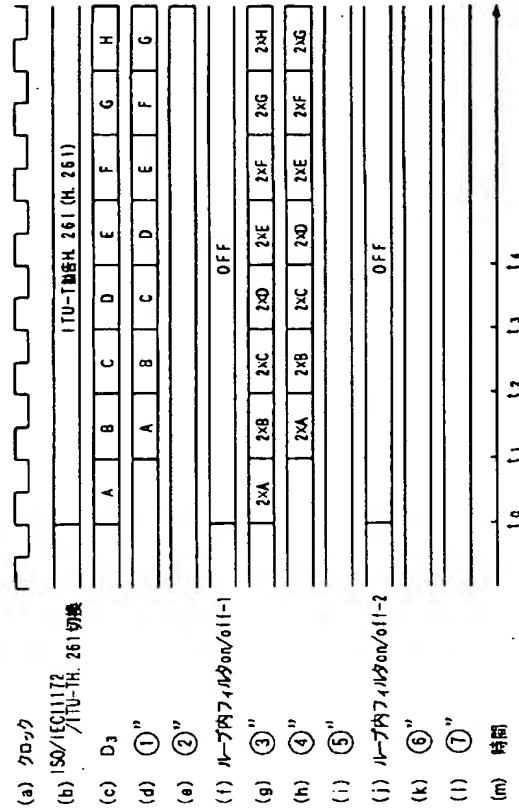
【図14】

【図15】

前方向縦方向処理回路の入力データフォーマット (MPGE1) 前方向縦方向処理回路のタイミングチャート (H. 261) その1



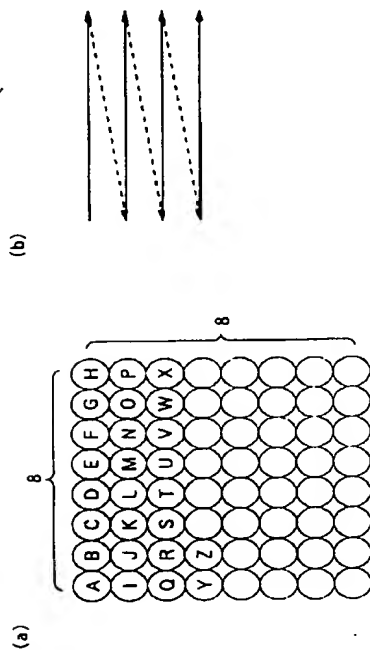
【図18】



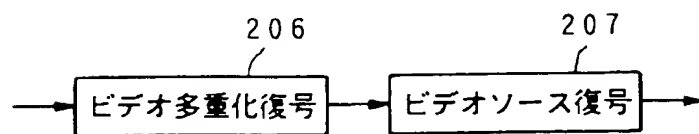
前方向縦方向処理回路の入力データフォーマット (H. 261)

【図35】

動画像情報復号装置 (H. 261) の概要構成ブロック図

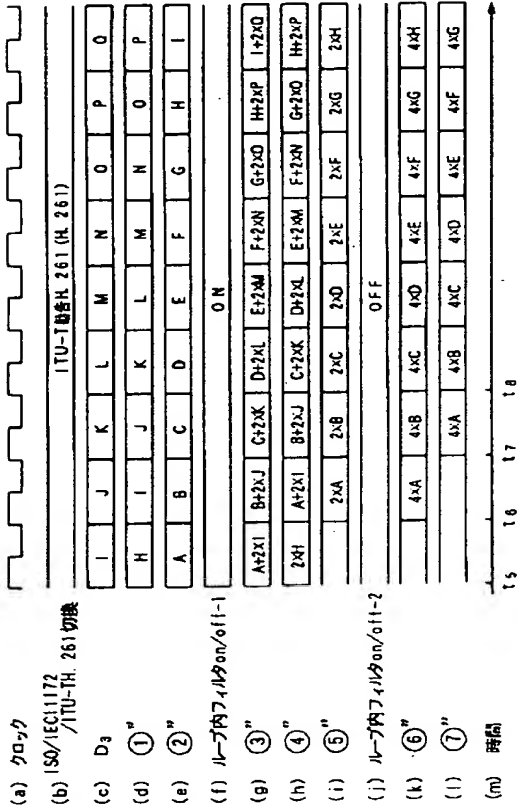


203 : 動画像情報復号装置



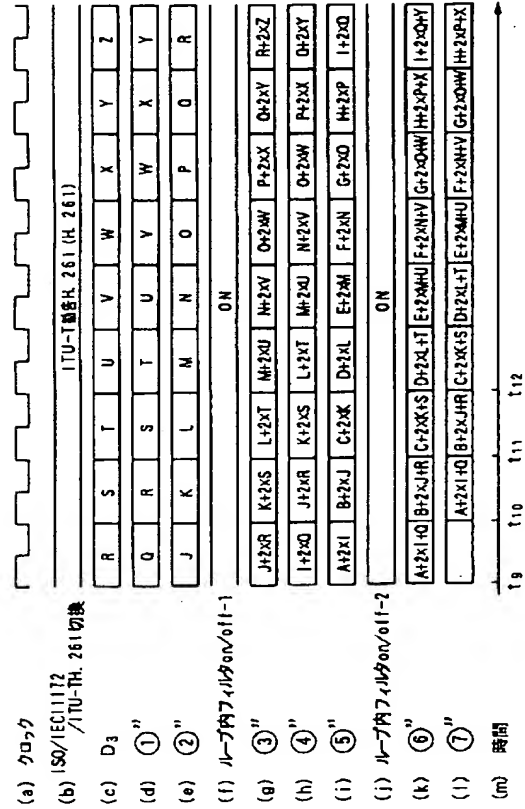
[図16]

前方向縦方向処理回路のタイミングチャート (H 261) その2



[図17]

前方向縦方向処理回路のタイミングチャート (H 261) その3



[図37]

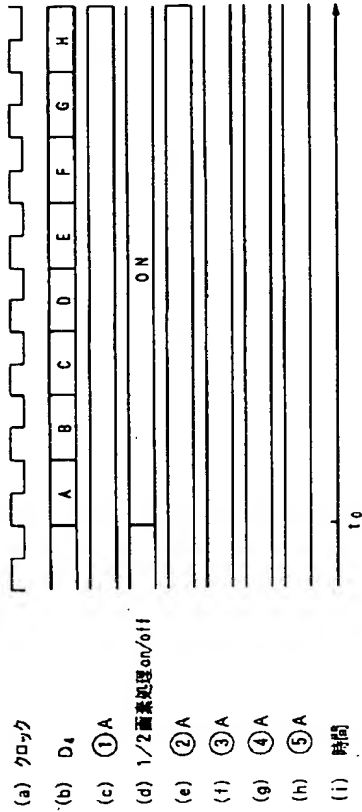
ループ内フィルタの概要構成ブロック図

213 : ループ内フィルタ



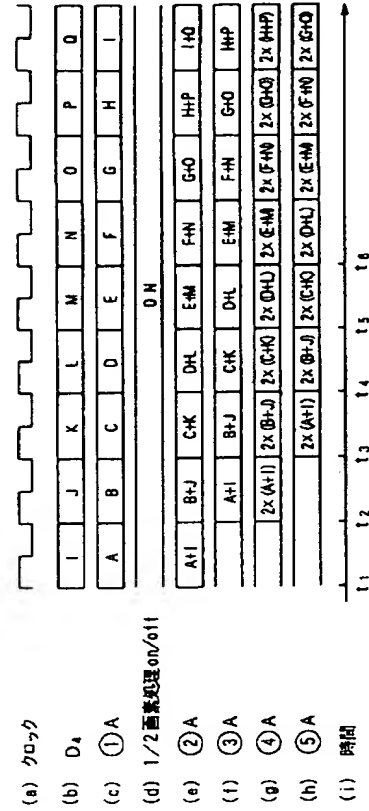
〔図20〕

後方向縦方向半画素処理回路のタイミングチャート その1



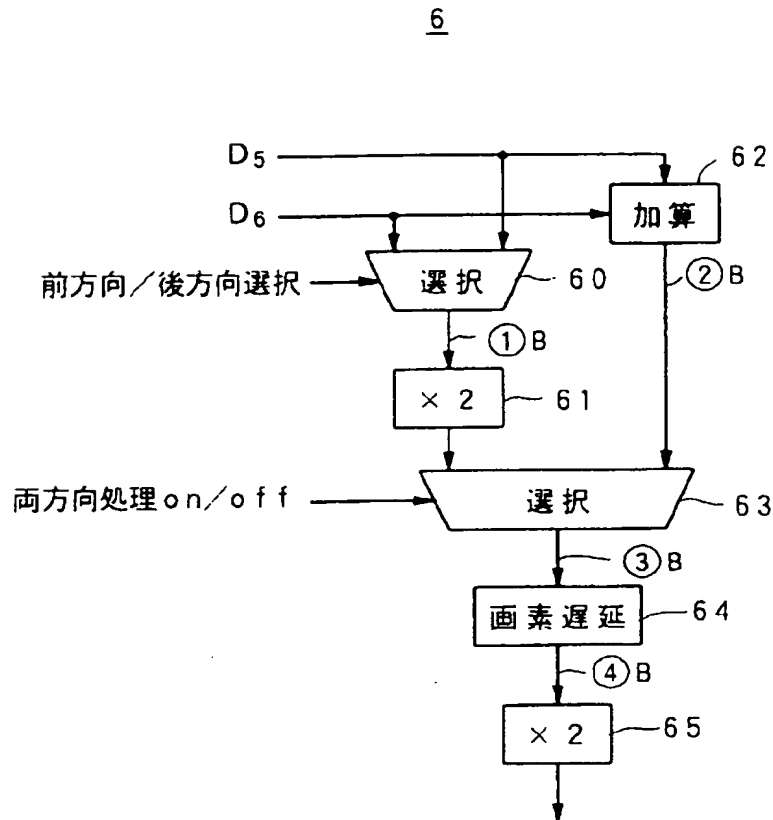
〔図21〕

後方向縦方向半画素処理回路のタイミングチャート その2



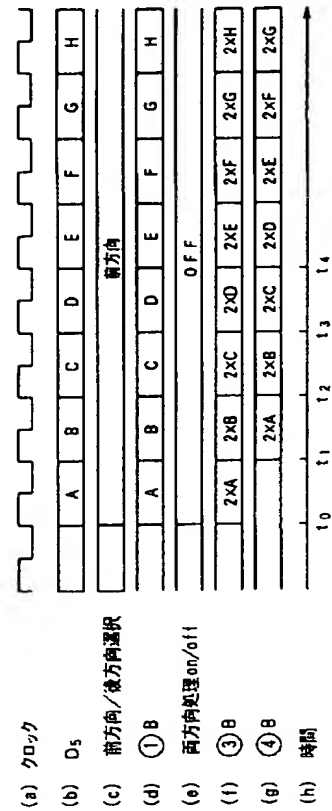
【図23】

両方向処理回路の詳細構成ブロック図



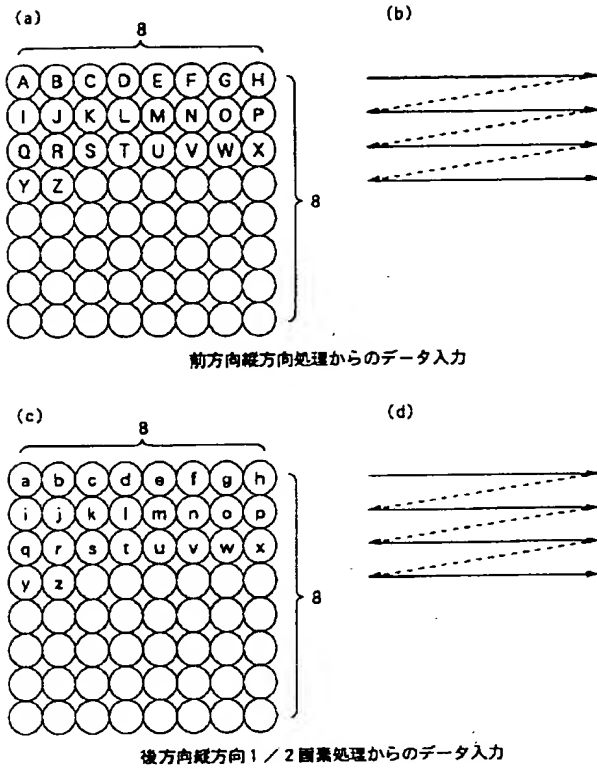
【図26】

両方向処理回路のタイミングチャート (H. 261)



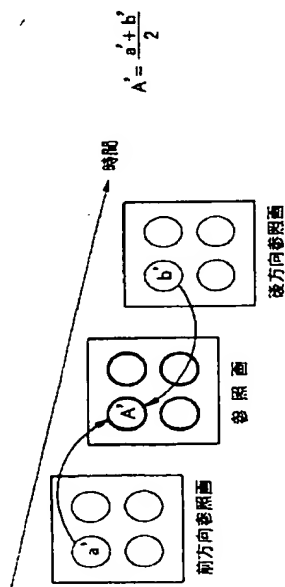
【図25】

両方向処理回路の入力データフォーマット (MPEG1)



【図33】

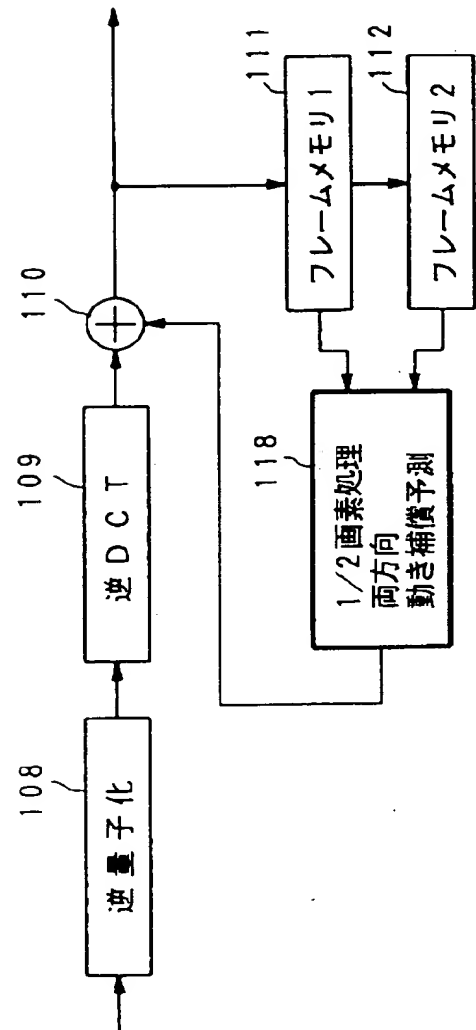
前後両方向動き補償予測 (MPEG1) の説明図



【図30】

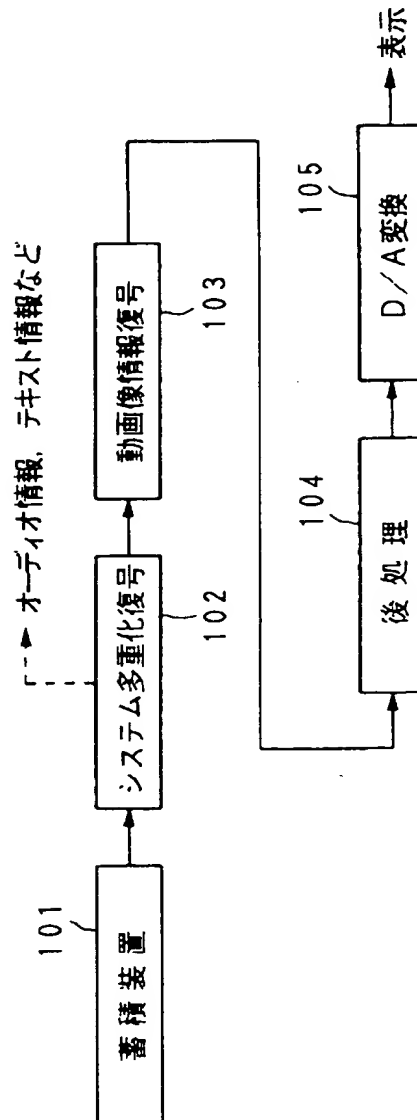
ビデオソース復号装置の詳細構成ブロック図

107: ビデオソース復号装置



【図28】

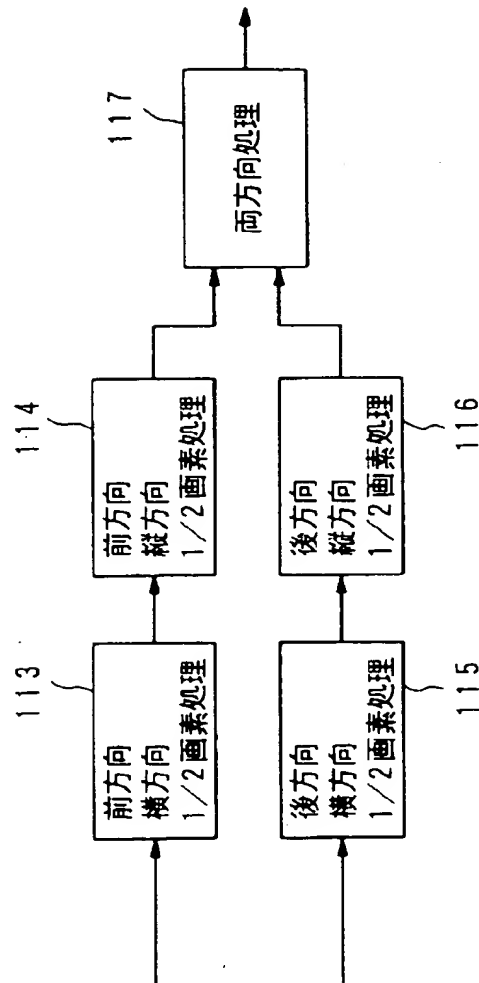
従来の動画像復元装置 (MPEG1) の概要構成ブロック図

100 : 動画像復元装置 (MPEG1)

【図31】

半画素精度両方向動き補償予測回路の詳細構成ブロック図

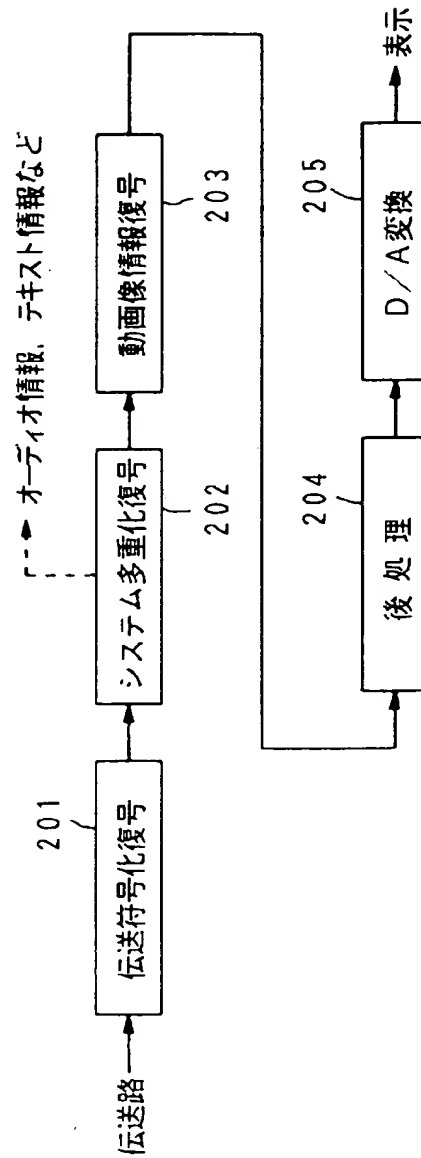
118 : 半画素精度両方向動き補償予測回路



〔図34〕

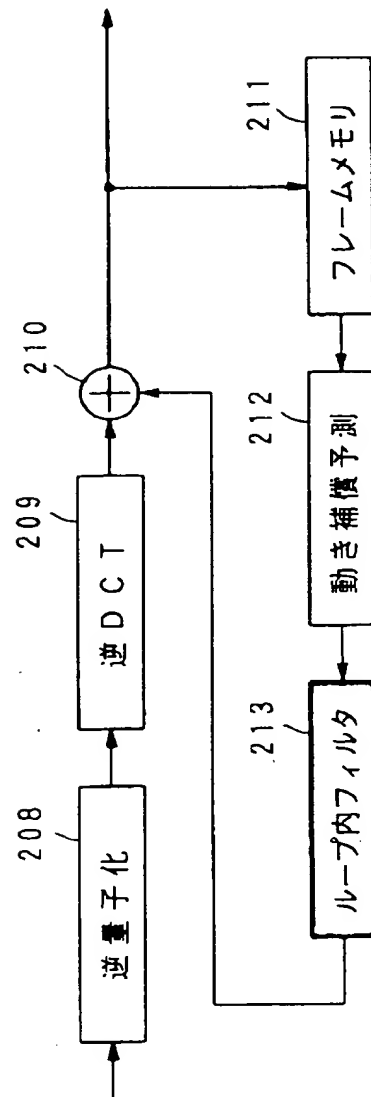
動画像復元装置 (H. 261) の詳細構成ブロック図

200 : 動画像復元装置 (H. 261)



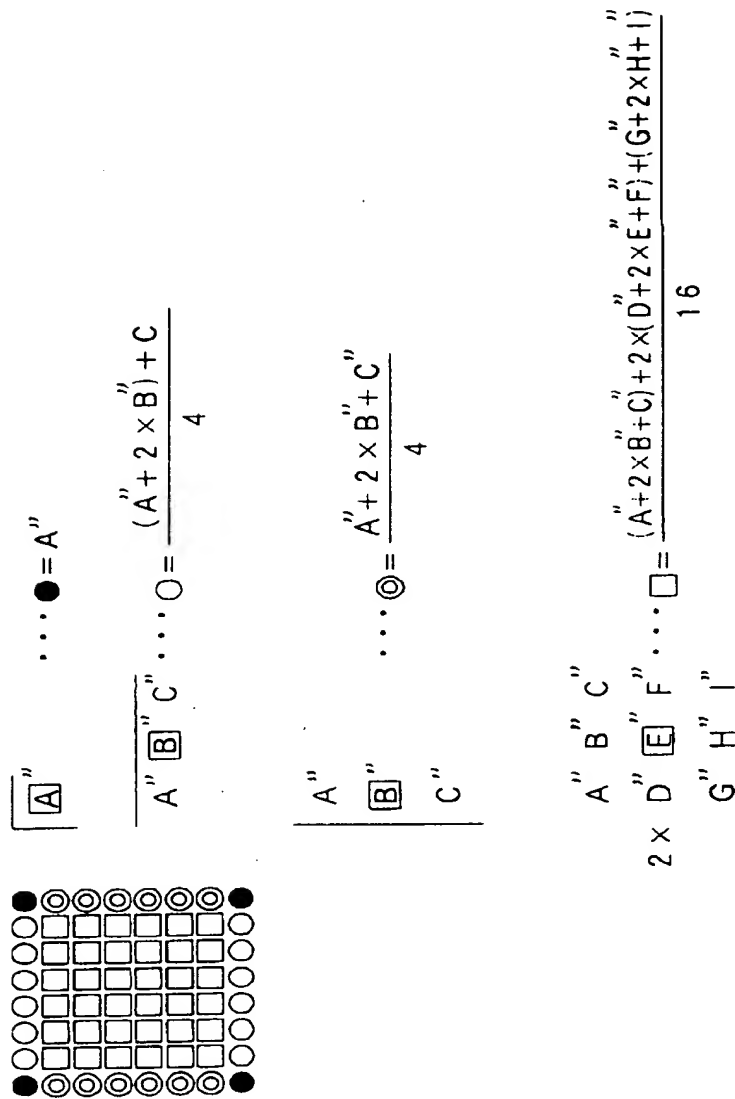
〔図36〕

ビデオソース復号装置（H. 261）の詳細構成ブロック図

207 : ビデオソース復号装置

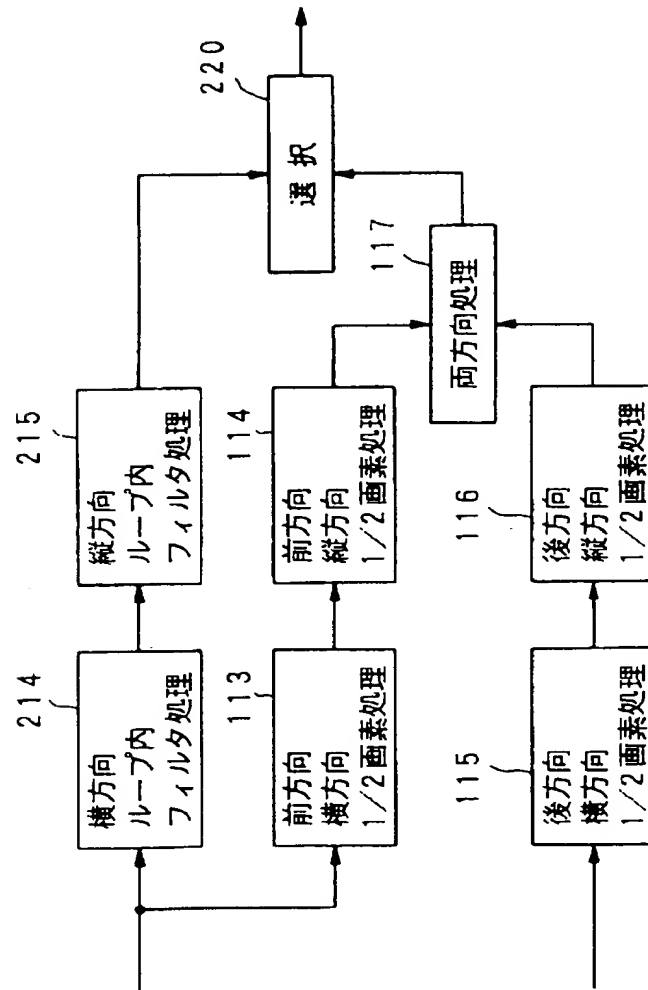
【図38】

ループ内フィルタ処理の説明図



【図39】

MPEG1及びH. 261準拠システムの説明図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.